



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09198372 A**(43) Date of publication of application: **31.07.97**

(51) Int. Cl.

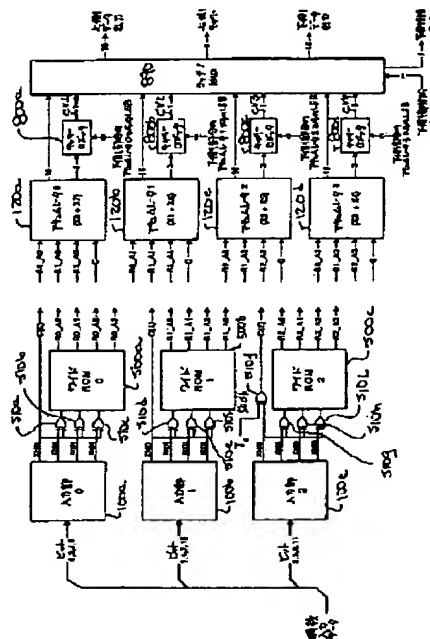
G06F 17/14**H04N 1/41****H04N 7/30**(21) Application number: **08277916**(22) Date of filing: **21.10.96**(30) Priority: **20.10.95 US 95 546469**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **RARII FUJITSUPUSU****(54) CARRY VALUE GENERATION DEVICE AND
ADDITION/SUBTRACTION M BIT VALUE
GENERATION DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To maintain a high data rate while reducing the circuit scale and in a two-dimensional inverse discrete cosine transformation (IDCT) circuit having parallel processing paths using distribution operation technology.

SOLUTION: The parallel processing paths of DCT coefficient data are converted into even- and odd-numbered processing paths. A partial IDCT circuit executes first one-dimensional transformation in parallel in respective processing paths and DCT coefficient data becomes a parameter, and is transposed in an transposing part. Then, second one-dimensional transformation is executed and the parameter becomes a picture element value. The IDCT circuit has accumulators 120a-120d and carry logics 800a-800d. The carry logics calculate the carry value of the prescribed low bit (LSB) of a coefficient value without executing addition.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-198372

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/14			G 0 6 F 15/332	V
H 0 4 N 1/41			H 0 4 N 1/41	B
7/30			7/133	Z

審査請求 未請求 請求項の数12 O L (全 32 頁)

(21) 出願番号 特願平8-277916

(22) 出願日 平成8年(1996)10月21日

(31) 優先権主張番号 08/546, 469

(32) 優先日 1995年10月20日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 ラリー フィリップス

アメリカ合衆国 ニュージャージー

10810, コリングスウッド, アードモア

ー テラス 17イー

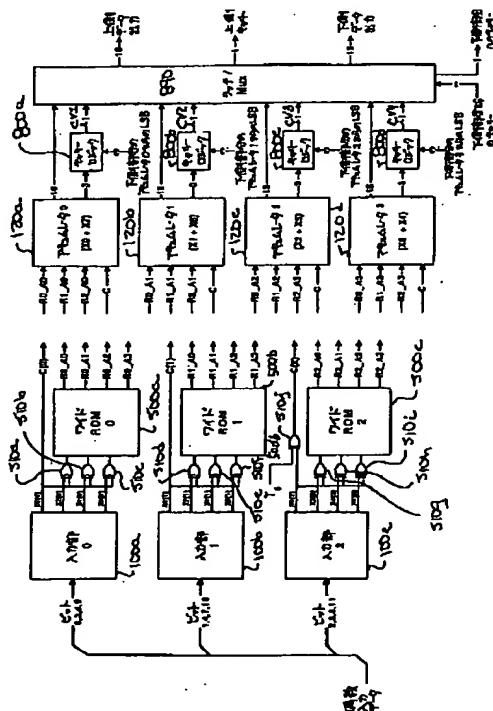
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 キャリー値発生装置および加減算Mビット値発生装置

(57) 【要約】 (修正有)

【課題】 分配演算の技法を用いるパラレル処理パスをもつ二次元の逆離散コサイン変換 (I D C T) 回路において、回路規模を縮小しつつ高いデータレートを維持する。

【解決手段】 D C T 係数データの平行処理パスは、偶数と奇数の処理パスに変換され、それぞれの処理パスで並行して部分 I D C T 回路により第1の一次元変換を受けて媒介変数となり、転置部において転置され、第2の一次元変換を受けて画素値となる。I D C T 回路はアキュムレータ120a~120dおよびキャリーロジック800a~800dをもつ。キャリーロジックは係数値の所定の低位ビット (L S B) のキャリー値を加算を行うことなく算出する。



【特許請求の範囲】

【請求項1】 少なくとも2つの値の和であるMビット値に対してキャリー値をつくる装置において、該少なくとも2つの値が、M個の上位ビット(MSB)とN個の下位ビット(LSB)とを有している(ここで、MおよびNは整数である)装置であって、

該少なくとも2つの値の該N個のLSBを受け取る手段と、

該少なくとも2つの値の該N個のLSBから、該N個のLSBの加算値をつくることなく、キャリー値をつくるキャリー手段であって、該キャリー値は、該少なくとも2つの蓄積された値の該N個のLSBを加算した場合につくられるキャリー値である、キャリー手段と、を備えている装置。

【請求項2】 前記キャリー手段が、第1のキャリーロジック手段と、N-1個のキャリーロジック手段とを備えている装置において、該N-1個のキャリーロジック手段のそれぞれには、前記少なくとも2つの値のそれぞれからの前記N個のLSBのうちの1ビットと、(1)該第1のキャリーロジック手段および(2)該N-1個のキャリーロジック手段のより以前のものからの媒介キャリー値とが供給される、請求項1に記載の装置。

【請求項3】 前記第1のキャリーロジック手段に、前記N-1個のキャリーロジック手段のうちの最後のものからの以前に蓄積された値、または初期値が供給される、請求項2に記載の装置。

【請求項4】 前記N-1個のキャリーロジック手段のそれぞれに、先行する各キャリーロジック手段によって前記媒介キャリー値としてつくられた以前の各媒介キャリー値が供給される、請求項2に記載の装置。

【請求項5】 前記キャリー手段が前記キャリー値のみをつくる、請求項1に記載の装置。

【請求項6】 前記キャリー手段が、

(1)以前に計算されたキャリー値、または入力キャリー値としての初期状態値、および(2)前記少なくとも2つの値のそれぞれからの最下位ビットを結合することによって、媒介キャリー値をつくる第1のキャリーロジック手段と、

(1)該媒介キャリー値および(2)該少なくとも2つの値のそれぞれからの第1の上位ビットを結合することによって該キャリー値をつくる第2のキャリーロジック手段と、を備えている、請求項1に記載の装置。

【請求項7】 少なくとも2つの蓄積された値の加算または減算であるMビット値を(ここで、Mは整数である)つくる装置であって、

複数の入力値を蓄積することによって該少なくとも2つの蓄積された値をつくるアキュムレータ手段であって、該少なくとも2つの蓄積された値がM個の上位ビット

(MSB)とN個の下位ビット(LSB)とを有している(ここで、Nは整数である)、アキュムレータ手段

と、

該少なくとも2つの蓄積された値の該N個のLSBから、該少なくとも2つの蓄積された値の該N個のLSBの和をとることなく、キャリー値をつくるキャリー手段であって、該キャリー値が、該少なくとも2つの蓄積された値の該N個のLSBを加算または減算した場合につくられるキャリー値である、キャリー手段と、

該少なくとも2つの蓄積された値の該M個のMSBを加算または減算し、かつ、該加算または該減算の結果に該キャリー値を加えることによって該Mビット値をつくる手段と、を備えている装置。

【請求項8】 前記キャリー手段が、第1のキャリーロジック手段と、N-1個のキャリーロジック手段とを備えている装置において、該N-1個のキャリーロジック手段のそれぞれには、前記少なくとも2つの蓄積された値のそれぞれからの前記N個のLSBのうちの1ビットと、媒介キャリー値とが供給される、請求項7に記載の装置。

【請求項9】 前記第1のキャリーロジック手段に、前記N-1個のキャリーロジック手段のうちの最後のものからの以前のキャリー値、または初期値が供給される、請求項8に記載の装置。

【請求項10】 前記N-1個のキャリーロジック手段のそれぞれに、先行する各キャリーロジック手段によって前記媒介キャリー値としてつくられた以前の各媒介キャリー値が供給される、請求項8に記載の装置。

【請求項11】 前記キャリー手段が前記キャリー値のみをつくる、請求項7に記載の装置。

【請求項12】 前記キャリー手段が、

(1)以前に計算されたキャリー値または入力キャリー値としての初期状態値、および(2)前記少なくとも2つの蓄積された値のそれぞれからの前記最下位ビットを結合することによって、媒介キャリー値をつくる第1のキャリーロジック手段と、

(1)該媒介キャリー値および(2)該少なくとも2つの蓄積された値のそれぞれからの第1の上位ビットを結合することによって該キャリー値をつくる第2のキャリーロジック手段と、を備えている、請求項7に記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、逆離散コサイン変換演算をおこなうことによって(例えばMPEG-2符号化ビデオ信号などの)周波数領域信号を空間領域信号に変換するプロセッサに関する。

【0002】

【従来の技術】米国では、ディジタル的に符号化された高精細度テレビジョン信号についてある規格が提案されている。この規格の一部は、国際標準化機構(ISO)のムービング・ピクチャ・エキスパート・グループ(M

10

20

30

40

50

PEG)により提案されているMPEG-2規格と本質的に同じである。この規格は、「情報技術—動画およびそれに付随する音声の生成符号化、勧告H. 626」(ISO/IEC13818-2、IS、94年11月)と題された国際規格(ISO)公報中に記載されている。この公報はISOから入手可能であり、本願明細書も、そのMPEG-2デジタルビデオ符号化規格に関する教示については参考として援用している。

【0003】このMPEG-2規格は、実際には、互いに異なるいくつかの規格を含んでいる。MPEG-2では、互いに異なるいくつかのプロファイルが規定されており、各プロファイルは、符号化された画像のもつ複雑性の別々のレベルに対応している。また、各プロファイルについて、互いに異なるいくつかのレベルが規定されており、各レベルは別々の画像解像度に対応している。メインプロファイルとして知られている、あるMPEG-2規格によれば、現存のテレビジョン規格(すなわち、NTSCやPALなど)に依拠したビデオ信号を符号化するためにメインレベルの使用が想定されている。また、メインプロファイルとして知られている別の規格によれば、高精細度テレビジョン画像を符号化するためにハイレベルの使用が想定されている。メインプロファイル/ハイレベルにより符号化された画像は、1イメージフレームあたり1、152本ものアクティブライン、1ラインあたり1、920個もの画素を有することがある。

【0004】一方、メインプロファイル/メインレベル規格は、最大ピクチャサイズを1ラインあたり720画素、1フレームあたり567ラインと規定している。30フレーム/秒のフレームレートでは、この規格により符号化された信号は、720×567×30、つまり12、247、200画素/秒のデータレートを有する。これに対して、メインプロファイル/ハイレベル規格に従って符号化された画像は、最大データレートが、1152×1、920×30、つまり66、355、200画素/秒となる。このデータレートは、メインプロファイル/メインレベル規格に従って符号化されたイメージデータのデータレートの5倍を超えている。米国においてHDTV符号化用に提案されている規格は、1フレームあたり1、080本ものライン、1ラインあたり1、920個もの画素、およびこのフレームサイズでの最大フレームレートが30フレーム/秒である、この規格のサブセットである。提案されているこの規格における最大データレートは、メインプロファイル/メインレベル規格における最大データレートよりもはるかに大きい。

【0005】MPEG-2規格は、データと制御情報とが混合されたものを含む複雑なシンタックスを規定している。この制御情報の一部は、互いに異なるフォーマットを有する複数の信号をこの規格で変換することを可能にするために用いられる。これらのフォーマットは、1

ラインあたりの絵素(画素)数が互いに異なり、1フレームまたは1フィールドあたりのライン数が互いに異なり、かつ、1秒あたりのフレーム数またはフィールド数が互いに異なる複数のイメージを規定している。また、MPEG-2メインプロファイルの基本的シンタックスは、6つのレイヤをなす複数のイメージからなるシーケンス、シーケンスレイヤ、グループオブピクチャレイヤ、ピクチャレイヤ、スライスレイヤ、マクロブロックレイヤおよびブロックレイヤを表現する圧縮されたMPEG-2ビットストリームを規定している。これらのレイヤはそれぞれ、制御情報をとともなうものとして導入される。最後に、サイド情報として知られているその他の制御情報(例えば、フレームタイプ、マクロブロックパターン、画像の動きベクトル、係数のジグザグパターンおよび逆量子化情報)が、符号化ビットストリームの全体にわたって分散させられる。

【0006】デジタル画像を有効に受け取るためには、復号化器はビデオ信号情報を迅速に処理しなければならない。有効性を最適なかたちで発揮するためには、符号化システムには、比較的安価でありながら、これらのデジタル信号をリアルタイムで復号化するのに十分なパワーをもつことが要求される。

【0007】現存の技術によれば、復号化器は、この機能を実行するために複雑に設計され高いデータレートで動作する単一のプロセッサを用いて実現される。しかしながら、このようにデータレートを高くすると、非常に高価な回路が必要になってしまう。そうすると、コストが重要なファクタである民生用テレビジョン受信機用に復号化器を実現するには問題が生じる。

【0008】別の選択肢としては、並列処理を用いる復号化器の使用が挙げられる。並列処理を採用することによって、高いデータレートを維持しながら回路のコストを下げるのが可能になる。図37は、そのようなシステムの一例を図示している。図37における復号化器は、2つの並列処理パスAおよびBを有している。まず、入力ビットストリームがルータ回路5に与えられる。ルータ回路5は、このビットストリームを論理的に規定されたそれぞれ異なる処理パスAおよびBへと方向づける。ここで、各処理パスは、MPEG-2符号化されたイメージのそれぞれ異なるスライスから複数のマクロブロックを処理する。可変長復号化器(VLD)10aおよび10bは、それぞれ分離されたデータストリームを復号化することによって、量子化された複数の離散コサイン変換(DCT)係数値からなる複数のブロックを生成する。複数の値からなるこれらのブロックは、逆スキャンをおこなう逆ジグザグスキャンメモリ15aおよび15bに与えられる。逆量子化器20aおよび20bは、逆ジグザグスキャンメモリ15aおよび15bにより供給された、量子化されたDCT値の逆量子化をおこなう。これらのDCT係数値は、逆離散コサイン変換

(IDCT) 回路25aおよび25bに供給される。IDCT回路25aおよび25bの出力データは、複数の画素値あるいは複数の差分画素値からなるブロックである。

【0009】IDCT回路25aおよび25bはそれぞれ、DCT係数値に対して2次元IDCT演算をおこな

$$\begin{bmatrix} (x_0+x_7)/2 \\ (x_1+x_6)/2 \\ (x_2+x_5)/2 \\ (x_3+x_4)/2 \\ (x_0-x_7)/2 \\ (x_1-x_6)/2 \\ (x_2-x_5)/2 \\ (x_3-x_4)/2 \end{bmatrix} = \begin{bmatrix} d & b & d & f & 0 & 0 & 0 & 0 \\ d & f & -d & -b & 0 & 0 & 0 & 0 \\ d & -f & -d & b & 0 & 0 & 0 & 0 \\ d & -b & d & -f & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & a & c & e & g \\ 0 & 0 & 0 & 0 & c & -g & -a & -e \\ 0 & 0 & 0 & 0 & e & -a & g & c \\ 0 & 0 & 0 & 0 & g & -e & c & -a \end{bmatrix} \begin{bmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \\ X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix}$$

【0011】ここで、 x_n ($n=0, 1, 2, \dots, 7$) は行列乗算の結果であり、 X_n は入力係数値であり、 a, b, c, d, e, f および g はIDCT行列における定数である。媒介係数値は、以下の数2を用いて生成される。

【0012】

【数2】

$$\begin{aligned} (x_0+x_7)/2 + (x_0-x_7)/2 &= X_0 \\ (x_1+x_6)/2 + (x_1-x_6)/2 &= X_1 \\ (x_2+x_5)/2 + (x_2-x_5)/2 &= X_2 \\ (x_3+x_4)/2 + (x_3-x_4)/2 &= X_3 \\ (x_0+x_7)/2 - (x_0-x_7)/2 &= X_7 \\ (x_1+x_6)/2 - (x_1-x_6)/2 &= X_6 \\ (x_2+x_5)/2 - (x_2-x_5)/2 &= X_5 \\ (x_3+x_4)/2 - (x_3-x_4)/2 &= X_4 \end{aligned}$$

【0013】各IDCT回路は、数1および2により表される1-D IDCTを2回実行する。1回目の1-Dに供給される値 X_n はDCT係数値であり、生成された出力値 x_n は媒介係数値である。2回目の1-D IDCTへの入力値 X_n は、1回目の1-D IDCTから転置された (transposed) 媒介係数値 x_n である。2回目の1-D IDCTの出力値 x_n は、画素値である。数1は、内積を計算するための行列乗算を含んでいる。

【0014】内積を計算するための方法としては、例えば、分配演算法 (distributed arithmetic) がある。分

* う。上述したように逆離散コサイン変換 (IDCT) がおこなわれ、オリジナルの絵素または画素を再構成する。8ポイント1-D IDCTは、以下の数1により表される。

【0010】

【数1】

※配演算法は、1対のベクトルの内積をなすビットシリアル演算処理である。Maruyamaの「マルチファンクション順方向/逆方向離散コサイン変換プロセッサのVLSIアーキテクチャおよびその実現」、Visual Communications and Image Processing '90、第1360巻、第410-417頁、およびLiouらに付与された「2次元離散コサイン変換プロセッサ」と題する米国特許第4,791,598号 (以下、598特許と称する) に開示されているように、かつてはDCTおよびIDCTをおこなうために分配演算法が用いられていた。上記文献のDCTおよびIDCTをおこなうための分配演算法に関する教示については、本願も参考として援用している。

【0015】分配演算法は、入力値の各ビットが、例えば読み出し専用メモリ (ROM) に格納されているルックアップテーブル (LUT) にアドレスするために用いられるビットシリアル法である。一般に、この方法は、1入力値あたりZビットを用いるディジットシリアル法に拡張することができる。この数Zは、ビット・アット・ア・タイム (baat) の数としてしばしば参照される。LUTは、1入力あたりZビットからなり長さNを有する入力ベクトルを十分に収容できる大きさでなければならない。N×Zビットのアドレスを有する1個のLUTを用いることもできるが、そうするとLUTが大きくなってしまふ。本願明細書に記載される本発明の好ましい実施形態では、それぞれがN-1ビットのアドレスを有する複数のZ LUTを用いる。LUTを生成するにあたってオフセットバイナリを用いれば、データの絶対値は、Nアドレスビットを有するLUTの上半分と、下半分とで対照的に位置するという事実を活用することによって、NからN-1にまでアドレスを減らすことができる。LUTにおいて予め計算された値は、数1における定数のIDCT行列と、N個の入力値のそれぞれからの1ビットとの内積である。その後、これらの予め計

算された値は一桁ずつ順番に加算され、完全な内積値を生成する。

【0016】

【発明が解決しようとする課題】図37の復号化器において、IDCT回路25aおよび25bは、分配演算の技法を採用するIDCTプロセッサを用いて実現できる。このアプローチの不利な点は、25aおよび25bの双方の第1の1-D IDCT部において、パイプラインがフルのままで維持されないことである。8つの12ビットパラレル入力ワードは、図37において内積をおこなうことが必要である。分配演算においては、ビットでのワード幅は、入力ワードの数で除され、ビット・アット・ア・タイム(b a a t)の理想的な数を得る。この場合では、12を8で除して、1.5である。この数は、実際にインプリメントするときには、2に丸められなければならない。分配演算に要求されるクロック期間は、ビット数でのワード幅をb a a tの数で除することによって計算される。12を2で除した結果は、6クロック期間である。8つの入力ワードは、8つのクロック期間を必要とする。よってパイプラインは、2クロック期間の間、アイドル状態である。換言すれば、25aおよび25bの双方の第1の1-D IDCT部においてリソースは、8クロックのうち2クロックのあいだ、使用されていないことになる。復号化器の処理速度は、デュアル処理のパスを用いて保たれはするが、2重のIDCT回路を用いるので復号化器のコストが上昇する。

【0017】前述の598特許は、分配演算を用いて画素をDCT係数に変換する2次元DCTプロセッサにおける代替方法を示す。598特許では、分配演算を用いて、行列のすべての行または列の内積を同時に計算する。DCTプロセッサは、列変換の要素を同時に計算するN個の回路を含むN x 1列のDCTプロセッサを含む。列変換の要素は、転置メモリに格納される。そのあと転置されてから、N x 1行のプロセッサは、転置メモリの出力を変換する。598特許には、パラレルパスからの画素データがない。よって、パラレル処理のパスからDCT係数をつくってはいない。598特許は、単一処理のパスからの画素を分離して、そのデータをパラレルに変換する。その結果、画素データは、受け取られたレートで処理される。

【0018】本発明は、上記課題を解決するためになされたものであり、その目的を以下に述べる。すなわち、本発明の実施形態によるIDCTプロセッサは、それぞれの処理パスに別個のIDCT回路を対応させることを不要にしつつ、IDCTをおこなってパラレル処理パスのデータストリームにおけるDCT係数を変換する。たとえそれぞれの処理パスに別個のIDCT回路を設けなくとも、復号化器のデータレートは低くならない。さらに、IDCTを実現するための回路は、それぞれのパスに別個のIDCT回路を設ける場合に採用されることに

なる回路に比べて、その規模を縮小することができる。よって復号化器のコストも削減できる。

【0019】

【課題を解決するための手段】本発明によるキャリー値発生装置は、少なくとも2つの値の和であるMビット値に対してキャリー値をつくる装置において、該少なくとも2つの値が、M個の上位ビット(MSB)とN個の下位ビット(LSB)とを有している(ここで、MおよびNは整数である)装置であって、該少なくとも2つの値の該N個のLSBを受け取る手段と、該少なくとも2つの値の該N個のLSBから、該N個のLSBの加算値をつくることなく、キャリー値をつくるキャリー手段であって、該キャリー値は、該少なくとも2つの蓄積された値の該N個のLSBを加算した場合につくられるキャリー値である、キャリー手段と、を備えており、そのことにより上記目的が達成される。

【0020】ある実施形態では、前記キャリー手段が、第1のキャリーロジック手段と、N-1個のキャリーロジック手段とを備えている装置において、該N-1個のキャリーロジック手段のそれぞれには、前記少なくとも2つの値のそれぞれからの前記N個のLSBのうちの1ビットと、(1)該第1のキャリーロジック手段および(2)該N-1個のキャリーロジック手段のより以前のものからの媒介キャリー値とが供給される。

【0021】ある実施形態では、前記第1のキャリーロジック手段に、前記N-1個のキャリーロジック手段のうちの最後のものからの以前に蓄積された値、または初期値が供給される。

【0022】ある実施形態では、前記N-1個のキャリーロジック手段のそれぞれに、先行する各キャリーロジック手段によって前記媒介キャリー値としてつくられた以前の各媒介キャリー値が供給される。

【0023】ある実施形態では、前記キャリー手段が前記キャリー値のみをつくる。

【0024】ある実施形態では、前記キャリー手段が、(1)以前に計算されたキャリー値、または入力キャリー値としての初期状態値、および(2)前記少なくとも2つの値のそれぞれからの最下位ビットを結合することによって、媒介キャリー値をつくる第1のキャリーロジック手段と、(1)該媒介キャリー値および(2)該少なくとも2つの値のそれぞれからの第1の上位ビットを結合することによって該キャリー値をつくる第2のキャリーロジック手段と、を備えており、そのことにより上記目的が達成される。

【0025】本発明による加減算Mビット値発生装置は、少なくとも2つの蓄積された値の加算または減算であるMビット値を(ここで、Mは整数である)つくる装置であって、複数の入力値を蓄積することによって該少なくとも2つの蓄積された値をつくるアキュムレータ手段であって、該少なくとも2つの蓄積された値がM個の

上位ビット (MSB) と N 個の下位ビット (LSB) とを有している (ここで、N は整数である)、アキュムレータ手段と、該少なくとも 2 つの蓄積された値の該 N 個の LSB から、該少なくとも 2 つの蓄積された値の該 N 個の LSB の和をとることなく、キャリー値をつくるキャリー手段であって、該キャリー値が、該少なくとも 2 つの蓄積された値の該 N 個の LSB を加算または減算した場合につくられるキャリー値である、キャリー手段と、該少なくとも 2 つの蓄積された値の該 M 個の MSB を加算または減算し、かつ、該加算または該減算の結果に該キャリー値を加えることによって該 M ビット値をつくる手段と、を備えており、そのことにより上記目的が達成される。

【0026】前記キャリー手段が、第 1 のキャリーロジック手段と、N-1 個のキャリーロジック手段とを備えている装置において、該 N-1 個のキャリーロジック手段のそれぞれには、前記少なくとも 2 つの蓄積された値のそれぞれからの前記 N 個の LSB のうちの 1 ビットと、媒介キャリー値とが供給される。

【0027】ある実施形態では、前記第 1 のキャリーロジック手段に、前記 N-1 個のキャリーロジック手段のうちの最後のものからの以前のキャリー値、または初期値が供給される。

【0028】ある実施形態では、前記 N-1 個のキャリーロジック手段のそれぞれに、先行する各キャリーロジック手段によって前記媒介キャリー値としてつくられた以前の各媒介キャリー値が供給される。

【0029】ある実施形態では、前記キャリー手段が前記キャリー値のみをつくる。

【0030】ある実施形態では、前記キャリー手段が、
(1) 以前に計算されたキャリー値または入力キャリー値としての初期状態値、および (2) 前記少なくとも 2 つの蓄積された値のそれぞれからの前記最下位ビットを結合することによって、媒介キャリー値をつくる第 1 のキャリーロジック手段と、
(1) 該媒介キャリー値および (2) 該少なくとも 2 つの蓄積された値のそれぞれからの第 1 の上位ビットを結合することによって該キャリー値をつくる第 2 のキャリーロジック手段と、を備えている。

【0031】以下に作用を説明する。それぞれの 1-D I D C T によっておこなわれる数学的操作には、2 つの特徴的な部分がある。第 1 の部分は、数 1 に示される内積の計算である。分配演算が N クロック期間にわたって予め計算された値の和をとるために用いられる。分配演算は、すべて部分 1-D I D C T 部の中でおこなわれるのに対して、数 2 で示す数学的計算の第 2 は、偶数および奇数部分 1-D I D C T 部の間でのクロスオーバー加算および減算を要求する。最終的な分配演算和は、 $M + (N \times Z)$ ビットを含む。ここで M は ROM のワード幅、N は入力ベクトルの数、Z は b a a t の数である。

このビット幅は、さらにクロスオーバー加算および減算のあいだ、1 ずつ増加される。効率的なハードウェアを実現するためには、丸めるか、または切り捨てるかすることによって、中間の場合で約 M ビットに、最終の画素値の場合で K ビットにビット幅を削減することが必要である。ここで K ビットは、M ビットより小さい。

【0032】分配演算は、ビットシリアル (もし b a a t > 1 なら、やはりディジットシリアルである) 和および予め計算された値の蓄積である。総和は、最下位ディジットシリアル入力ワードによって示された Z 個の予め計算された値で始まり、Z 個の予め計算された値が次のより高位のディジットシリアル入力ワードによって示されて、N 番目のクロック期間において、総和が最高位ディジットシリアル入力ワードによって示される Z 個の予め計算された値の加算で終了するまでのあいだ、それぞれの連続するクロック期間にわたり継続する。媒介和は、分配演算のディジットシリアルの性質によって次の Z 個の予め計算された値に加算される前に、Z ビットだけ右にシフトされる。N クロック期間のそれぞれのあいだ生成されるこれらの Z ビットは、継続する分配演算によっても変更されない。N クロック期間のそれぞれのあいだ生成されるこれらの Z ビットは、継続する分配演算処理によっても変更されない。

【0033】本発明は、 $N \times Z$ ビットをそれぞれのアキュムレータ (8×8 の 2-D I D C T には、16 個のアキュムレータが存在する) に格納するのに必要とされるハードウェア資源を削減し、クロスオーバー加算および減算に必要とされるラッチおよび加算器のサイズを縮小するキャリーロジック回路に関する。キャリーロジック回路は、キャリーだけを発生し、最上位キャリーを保存したままで、Z 個の最下位ビットについてのクロスオーバー加算および減算を実現する。最終的な最上位グループに N 番目のクロックで到達するまで、Z ビットのそれぞれ後に続くグループは、先行するグループよりも桁が大きい。よって、Z ビットのそれぞれのグループについて保存される最上位キャリーは、次の Z ビットのグループのキャリーインになる。N 番目のクロックで発生する最終的な最上位キャリーは、最終的な分配演算総和とともにラッチに保存される。この保存されたキャリーは、蓄積された総和のクロスオーバー加算および減算のあいだ、キャリーインとなる。

【0034】

【発明の実施の形態】本発明の実施形態による I D C T プロセッサは、それぞれの処理パスに別個の I D C T 回路を対応させることを不要にしつつ、I D C T をおこなってパラレル処理パスのデータストリームにおける D C T 係数を変換する。たとえばそれぞれの処理パスに別個の I D C T 回路を設けなくとも、復号化器のデータレートは低くならない。さらに、I D C T を実現するための回路は、それぞれのパスに別個の I D C T 回路を設ける場

合に採用されることになる回路に比べて、その規模を縮小することができる。よって復号化器のコストも削減できる。

【0035】（概観）本発明の実施形態は、DCT係数を含むビットストリームを復号化するMPEGデコーダに関する。このMPEGデコーダは、ビットストリームを2つのパラレル処理パスにおいて処理し、DCT係数をそのビットストリームから得るパラレルプロセッサを備えている。パラレルプロセッサは、第1のデータレートにおいて動作する。DCT係数は単一のIDCTプロセッサに与えられる。IDCTプロセッサは、DCT係数を第2のデータレートにおいて変換し、画素値をつくる。この第2のデータレートは、第1のデータレートの2倍である。

【0036】本発明の他の実施形態においては、IDCTプロセッサは、係数値を含むビデオ信号を周波数領域信号から空間領域信号に変換する。逆ジグザグスキャンメモリ15aおよび15bと連係して図1のバスコンバータ12は、パラレル処理パスから受け取られたそれぞれ偶数および奇数データを含むデータブロックをパラレル処理パスに再配置する。ここで一方のパスは、偶数データに制限され、他方のパスは、奇数データに制限される。数1は、2つのより小さい方程式に分けることができ、以下の数3および数4に示すように8つの出力項のうち4つは、偶数入力だけに従属しており、残りの4つの出力項は、奇数入力だけに従属しているので、上記の特徴は有利である。

【0037】

【数3】

$$\begin{bmatrix} (x_0+x_7)/2 \\ (x_1+x_6)/2 \\ (x_2+x_5)/2 \\ (x_3+x_4)/2 \end{bmatrix} = \begin{bmatrix} d & b & d & f \\ d & f & -d & -b \\ d & -f & -d & b \\ d & -b & d & -f \end{bmatrix} \begin{bmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{bmatrix}$$

【0038】

【数4】

$$\begin{bmatrix} (x_0-x_7)/2 \\ (x_1-x_6)/2 \\ (x_2-x_5)/2 \\ (x_3-x_4)/2 \end{bmatrix} = \begin{bmatrix} a & c & e & g \\ c & -g & -a & -e \\ e & -a & g & c \\ g & -e & c & -a \end{bmatrix} \begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix}$$

【0039】このアプローチの有利な点は、2つの部分1-D IDCTプロセッサを用いることが可能であり、一つは偶数入力用であり、一つは奇数入力用である点である。このアプローチにおいては、4つの12ビットパラレル入力ワードだけが数3および数4によって表現される内積を実行するために必要となる。次の分配演算方程式は、3baatが最適であり、このときリソー

スが浪費されることなく、十分に負荷が与えられたパイプラインが実現できることを示している。

【0040】baat = (ビット幅) / (入力ワードの数) = 12 / 4 = 3

(分配演算のためのクロック期間) = (ビット幅) / baat = 12 / 3 = 4

入力ワードのためのクロック期間 = 4

4つの入力値を入力するためにも、分配演算を実行するためにも、ちょうど4つのクロック期間が必要となる。

10 部分IDCTプロセッサは、ブロックにおいて偶数および奇数の係数値を表現する係数データをパラレルに変換し、第1の1次元変換をおこなうことによって媒介係数値をつくる。媒介係数値は、転置RAMにおいて転置され、転置された媒介係数値をつくる。転置された媒介係数値は、偶数および奇数処理パスに分離され、パラレルに処理されてから第2の1次元変換をおこなうことによって画素値をつくる。

【0041】図1は、本発明の実施形態による逆離散コサイン変換(IDCT)回路を含むデコーダの全体構成を示す。まず、入力ビットストリームがルータ回路5に与えられる。ルータ回路5は、ビットストリームを互いに異なる論理的に定義された処理パスAおよびBに分離する。例えば、それぞれのパスは、MPEG-2符号化された画像のそれぞれ異なるスライスからのデータを処理する。可変長復号化器(VLD)10aおよび10bは、分離されたデータストリームを復号化し、量子化された離散コサイン変換係数値のブロックを生成する。これらのブロックは、それぞれの処理パスAおよびBからの係数値のブロックを図5に示されるように配置された量子化された係数値に変換するバスコンバータに与えられる。係数は、前に述べたMPEG-2規格によって規定されたフォーマットで、1度に1つの値ずつ与えられる。MPEG標準は、図6に示すように2つの異なるジグザグスキャンパターン0および1を用いるので、2つの異なる配置が示される。スキャンパターンのタイプが検出されて、バスコンバータは、図5に示すように適切な出力をつくる。

【0042】それぞれの逆ジグザグスキャンメモリ15aおよび15bは、図7に示すようにバスコンバータ12によって与えられるそれぞれの係数ブロックの偶数および奇数の係数の逆ジグザグスキャンをおこなう。マクロブロックレベルのタイミングチャートは、処理パスAにおけるVLDからの完全なマクロブロックは、偶数および奇数パス上に出力されることを示す。偶数成分は、偶数パス上にあり、奇数成分は、奇数パス上にある。これは、処理パスBにおけるVLDからのマクロブロックについても同じことがいえる。このように2つの処理パスAおよびBが交互に動き続ける。図7および図11は、マクロブロックのブロック構造を示す。図7は、またブロックが行の順番ではなく、列の順番で出力される

ことを示す。係数レベルフォーマットは、異なるスキャンパターンから列に存在するデータを示す。逆量子化器20aおよび20bは、量子化されたDCT係数値を逆量子化する。逆量子化器20aおよび20bからのDCT係数値は、IDCT回路30に与えられて、画素値をつくる。

【0043】偶数バス係数は、奇数番目の値を含み、奇数バス係数は、偶数番目の値を含むことに注意されたい。これは、図6に示すようにジグザグスキャンされた係数値のブロックの列の偶数および奇数の行番号にしたがって値が分割されるからである。図6にあらわれる数字は、ブロックの個々のデータ要素が符号化および復号化された順番を示す。MPEGスキャンパターン0の例にすれば、符号化／復号化されるべき第1のデータ要素は、行0、列0に位置する要素であり、番号0をもつ。順番に続くデータ要素は、1、2、3、……、63とナンバリングされる。よって0の後の次のデータ要素は、行0、列1に位置し、さらに行1、列0などと続く。逆ジグザグスキャンメモリは、ブロックデータを並べ換えることによって、データの列が偶数バス上に置かれた偶数データとともにリードされ、奇数バス上に置かれた奇数データとともにリードされるようにする。タイミングチャートである図7に示す係数レベルの数字は、変更されて図10に示すタイミングチャートのようになる。この図は、64の値がブロックからリードされること、および8つの値、つまり4つの偶数および4つの奇数がそれぞれの列でリードされることを示す。

【0044】IDCT回路30の全体的な構成は、図2に示すとおりである。IDCT回路は、まず1次元IDCT変換をIDCT回路300でおこない、その結果得られたデータを転置部150で転置し、第2の1次元IDCT変換をIDCT回路310においておこなうことによって、2-D IDCT処理をおこなう。

【0045】偶数および奇数入力係数データストリームは、列の順番に「1度に3ビット」（3ビット・アット・ア・タイム、3baat）の分配演算を用いて実行される2Nx1 IDCT回路300に与えられ、そのあとにクロスオーバー加算および減算によって媒介DCT係数値のグループをつくる。2Nx1 IDCT回路300は、第1のIDCT変換をおこなう。媒介係数は、転置部150において列から行へと転置される。リード／ライトアドレスおよび制御回路320に回答して、転置部150は、媒介係数を偶数および奇数処理パスに再び分離する。転置された媒介係数は、こんどは行の順番で2Nx1 IDCT回路310によって変換されて画素値をつくる。2Nx1 IDCT回路310は、「1度に4ビット」（4ビット・アット・ア・タイム、4baat）の分配演算を用いて実現される。

【0046】タイミングおよび制御回路330は、2Nx1 IDCT回路300、2Nx1 IDCT回路31

0、転置部150およびリード／ライトアドレスおよび制御320を制御するタイミング信号を供給する。

【0047】本発明の実施形態においては、IDCT回路は、そのそれぞれの部分において4クロック期間で8つのDCT係数値を処理する。図1のIDCT回路30は、図37のIDCT回路25aおよび25bのデータレートの2倍のデータレートで動作する。

【0048】（IDCT装置）図3は、図2に示すIDCT回路の部分のより詳細なブロック図である。リード／ライトアドレスおよび制御回路330およびタイミングおよび制御回路320は、図3から省略されている。

【0049】2Nx1 IDCT回路300は、それぞれの偶数および奇数処理パスからのDCT係数を処理する2つの部分Nx1 IDCT回路105aおよび105bを含む。4クロックで、部分IDCT回路105aには、4つの12ビット偶数係数値X0、X2、X4およびX6が与えられ、部分IDCT回路105bには、4つの12ビット奇数係数値X1、X3、X5およびX7が与えられる。偶数および奇数係数値X0、X1、X2、X3、X4、X5、X6およびX7は、ひとつのブロックの列をかたちづくる8つのDCT係数値からなるグループである。ひとつのブロックは、図6に示すように64のDCT係数値をもつ。64個のDCT係数値に対応する偶数および奇数係数値X0〜X7の8つのグループが存在する。これらの8つのグループは、図10の偶数部のタイミングチャートに示されるように、それぞれ偶数および奇数係数のセットに分離される。図9および図10は、IDCT回路105aおよび105bに与えられる偶数および奇数係数値の間の相関関係と、ひとつのブロックのなかの64個のDCT係数値とを示す。部分IDCT回路105aおよび105bは、パラレルに、ブロックからのそれぞれの偶数および奇数係数値を処理する。

【0050】IDCT変換は、2つの1次元変換を用いておこなわれる。その結果、DCT係数値X0、X1、X2、X3、X4、X5、X6およびX7の第1の1次元IDCTは、媒介係数値X0'、X1'、X2'、X3'、X4'、X5'、X6'およびX7'をつくる。値X0'、X1'、X2'、X3'、X4'、X5'、X6'およびX7'を含む媒介係数値の転置セットの第2の1次元変換は、画素値x0、x1、x2、x3、x4、x5、x6およびx7をつくる。

【0051】偶数および奇数係数値のパラレル処理は、数1を2つのより小さい方程式、つまり数3および数4に分離することができるので、可能となる。部分IDCT回路105aおよび105bは、それぞれ、DCT係数値の2つのグループに対応する媒介係数値のグループをつくる。第1のグループは、媒介係数値X0' + X7'、X1' + X6'、X2' + X5'、X3' + X4'であり、第2のグループは、媒介係数値X0' - X

7'、 $X1' - X6'$ 、 $X2' - X5'$ 、 $X3' - X4'$ である。

【0052】加算／減算符号拡張回路140aおよび140b、符号拡張(SE)回路141aおよび141b、および加算器145aおよび145bは、数2に示すクロスオーバー加算および減算を実現して、図8に示す媒介DCT係数値 $X0'$ 、 $X1'$ 、 $X2'$ 、 $X3'$ 、 $X4'$ 、 $X5'$ 、 $X6'$ および $X7'$ をつくる。

【0053】図4は、部分IDCT回路105aのより詳細なブロック図である。部分IDCT回路105bは、部分IDCT105bには奇数係数値 $X1$ 、 $X3$ 、 $X5$ および $X7$ が与えられることを除き、部分IDCT回路105aと同じである。

【0054】入力部100a～100c、XORゲート510a～510i、ROM500a～500c、およびアキュムレータ120a～120dは、「1度に3ビット」(3baat)方式で分配演算操作をおこなう。それぞれの偶数および奇数係数値は、12ビットの Xn [11、10、…、0]をもつ。それぞれの偶数係数値 $X0$ 、 $X2$ 、 $X4$ および $X6$ は、図4および図9に示すように偶数係数値 $X0$ 、 $X2$ 、 $X4$ および $X6$ が入力部100a～100cに与えられるとき、4ビットのグループ3つに分離される。さらに、部分IDCT105bの入力部に与えられる奇数係数値 $X1$ 、 $X3$ 、 $X5$ および $X7$ も、図9に示すのと同様の方法を用いて分離される。

【0055】概略的にいうと、入力部100a～100cは、N個のXビットパラレルデータワードをZビットをもつN個のディジットシリアルデータワードに再配置する。ここで、X、NおよびZは整数である。Xビットパラレル入力ワードの個々のビットは、隣接するビットが相異なるグループに入るようにX/Zビットを含むZ個のグループに分配される。Z=3およびX=12の場合の分配例は、次のようになる。

【0056】グループ0：ビット0、3、6、9

グループ1：ビット1、4、7、10

グループ2：ビット2、5、8、11

図4は、このビットのグループ分け、および上述のグループ0、1および2に直接に対応する入力部0、1および2へのビットの接続を示す。

【0057】N個の入力ワードは、偶数および奇数部分1-D IDCT部の双方において内積を完成させるのに必要となる。グループ分けの考えかたは、N個のワードのすべてについて同じである。Nクロック期間の第1のセットのあいだ、N個のXビットのパラレルワードは、Z個の入力部に格納される。次のN個のクロック期間のあいだ、N個の入力のそれぞれからのZビットは、それぞれのクロック期間においてリードされる。それぞれのクロック期間でリードされるビットの総数は、 $Z \times N$ である。前と同様に同じ数を使って、 $N=4$ 、 $Z \times N$

$= 3 \times 4 = 12$ とする。このリード動作と同時に次のN個の入力ワードが格納される。

【0058】次の議論は、Nを整数としてN行およびN列をもつアレイとして配置された記憶要素を含む単一入力部装置に関するものである。それぞれの記憶要素は、1ビットのデジタル値を格納する。N個のZビットデータワードのうちの最初のものは、アレイの最初の行または最初の列に格納される。N個のZビットデータワードのうちの次のものは、アレイの最初の列または最初の行に格納される。N個のZビットデータワードのうちの最初のものは、アレイのうちのそれぞれ次の後続行、または次の後続列に同時にシフトされる。N個のシリアルワードの最初のビットがアレイの列または行から取り出され、N個のシリアルワードの次のビットが、アレイにおける次の後続列または後続行から取り出される。

【0059】特に、入力部100a～100cは、図4に示すように、それぞれの入力部に与えられる4ビットパラレル偶数係数値を、それぞれ4ビットを含む4ビット・シリアルの係数値に再配置する。この4ビット出力値のそれぞれのビットは、4つの偶数係数値のそれぞれの1つのビット位置における値を表す。偶数係数値のフォーマットは、偶数係数値がビット・シリアルベースでメモリ位置に対するアドレスとして読み出し専用メモリ(ROM)500a～500cに与えられるように、再配置される。第1の1-D IDCT変換をおこなうために用いられる、ビット積(bit-products)についての予め計算された値がメモリ位置に格納される。偶数係数値 $X0$ 、 $X2$ 、 $X4$ および $X6$ は、(1)1度に1つの偶数係数値をアレイの2つの側のうちの1つに与え、(2)アレイの2つの側のうちの他の1つから再配置された偶数係数値をリードすることによって、再配置される。例えば、偶数係数値 $X0$ 、 $X2$ 、 $X4$ および $X6$ は、アレイの左側およびアレイの下側に交互に与えられ、再配置された偶数係数値は、アレイの右側およびアレイの上側から交互にリードされる。換言すれば、アレイの左側に与えられた係数値は、その後、アレイの上側からリードされ、アレイの下側に与えられた係数値は、その後、アレイの右側からリードされる。係数値がアレイの左側に与えられたときは、以前、アレイの下側に与えられた係数値は、アレイの右側からリードされる。係数値がアレイの下側に与えられたときは、以前、アレイの左側に与えられた係数値は、アレイの上側からリードされる。

【0060】入力部100aの動作は、図9、図12、図13および図14～図22を参照して説明される。他の入力部100bおよび100cは、異なるビットがそれらの入力部に与えられることを除き、図9に示すように入力部100aと同様に動作する。

【0061】要約すれば、偶数係数値 $X0$ 、 $X2$ 、 $X4$ および $X6$ のうちの選択されたビットは、交互にアレイ

MXの左側および下側に与えられて、再配置された偶数係数値 $X_0(k)$ 、 $X_2(k)$ 、 $X_4(k)$ および $X_6(k)$ をつくる。左側および下側は、4クロックごとに入れ替わる。左側に与えられた偶数係数値は、4クロックのあいだアレイを右方向にシフトされ、それから4クロックのあいだアレイを上方向にシフトされ上から出ていく。下側に与えられた偶数係数値は、4クロックのあいだアレイを上方向にシフトされ、それから4クロックのあいだアレイを右方向にシフトされアレイMXの右側から出ていく。偶数係数値のビットは、新しいデータがアレイMXの下側または左側に格納されつつあるときに、4クロックのあいだ交互にアレイMXの上または右側から取り出される。

【0062】図12および図14に示すように、偶数係数値 X_0 （つまり $X_0(0)$ 、 $X_0(3)$ 、 $X_0(6)$ および $X_0(9)$ ）ビット[0、3、6および9]は、それぞれM2ブロック240a、240bおよび240cおよびフリップフロップ260与えられ、格納される。図14～図22において、第1の列は、M2ブロック240a～240cおよびフリップフロップ260に対応し、第2の列は、M2ブロック240d～240gに対応し、第3の列は、M2ブロック240h～240kに対応し、第4の列は、M2ブロック240l～240oに対応する。 $X_n(k)$ は、偶数係数値であって、ここでnは、偶数係数値を表し、 $n=0, 2, 4$ および6であり、kは、偶数係数値のうちの特定のビットを表す。

【0063】次の偶数係数値 X_2 がM2ブロック240a、240bおよび240cおよびフリップフロップ260に与えられるとき、入力値 X_0 のビット[0、3、6および9]は、図15に示すように、それぞれM2ブロック240d、240e、240fおよび240gに与えられ、格納される。図17に示すように、それぞれの偶数係数値 X_0 、 X_2 、 X_4 および X_6 のビット

[0、3、6および9]がM2ブロック240a～240oおよびフリップフロップ260に格納されるまで、図16および図17に示すようにこのプロセスが繰り返される。図14～図17において、それぞれの偶数係数値 X_0 、 X_2 、 X_4 および X_6 は、M2ブロック240a～240cおよびフリップフロップ260を含む第1の列にロードされて、偶数係数値 X_0 、 X_2 、 X_4 および X_6 のそれぞれが入力部100aにロードされるまで列ごとに右にシフトされる。

【0064】次に図17および図18に示すように、最下位ビット(LSB)、 $X_0(0)$ 、 $X_2(0)$ 、 $X_4(0)$ および $X_6(0)$ は、ビットシリアルフォーマットで外にシフトされる。マルチプレクサ250a、250bおよび250cは、図1に示すタイミングおよび制御回路330によって与えられた制御信号Sにตอบสนองして、M2ブロック240a、240d、240hおよび

240lから与えられた入力値を選択する。実質的に同時に、行列に格納された入力値は、図18に示すように1行だけ上にシフトされる。やはり実質的に同時に、ビット[9、6、3、0]がそれぞれフリップフロップ260およびM2ブロック240g、240kおよび240oに格納されるように、係数ブロックの次の列についての次の偶数係数値 X_0 の4ビットが入力部100aに与えられる。

【0065】M2ブロック240a～240oおよびフリップフロップ260にそれぞれの偶数係数値 X_0 、 X_2 、 X_4 および X_6 からの4ビット[0、3、6および9]が与えられるまで、このプロセスは、図18～図20に示すように繰り返される。次の偶数係数値がアレイMXに格納されるいっぽうで、前の偶数係数値は、アレイMXのいちばん上から与えられ、マルチプレクサ250a～250cによって選択される。

【0066】いったん前の偶数係数値がアレイから完全に与えられれば、次の偶数係数値は、図21および図22に示すように、アレイの右側から与えられ、制御信号sにตอบสนองしてマルチプレクサ250a～250cによって選択される。さらに、次の後続する偶数係数値は、図22に示すようにアレイの右側に与えられる。

【0067】それからいったん次の後続する偶数係数値が行列に与えられると、次の後続する偶数係数値は、アレイのいちばん上からリードされる。リードおよびライトプロセスは、偶数係数値が入力部に与えられるあいだ、繰り返される。

【0068】図12のM2ブロックのより詳細なブロック図が図13に示される。それぞれのM2ブロックは、図13に示すように、2つの入力値を受け取るマルチプレクサ260と、マルチプレクサ260の出力が与えられるフリップフロップ270を含む。マルチプレクサ260には、制御信号（不図示）がタイミングおよび制御回路（図1に示す）によって与えられ、2つの入力値の選択を制御する。

【0069】他の入力部も、他の入力部には偶数係数値と異なるビットが与えられることを除き、同じように動作する。

【0070】3つの入力部のすべてを使って、4つの係数値が入力部に格納され、クロック信号の4クロック期間のあいだに入力部によって4つの係数値が与えられる。

【0071】マルチプレクサ250a～250c（図12に示す）によって選択された入力部100a～100cからの係数ビット値 $X_0(k)$ 、 $X_2(k)$ 、 $X_4(k)$ および $X_6(k)$ は、XORゲート510a～510i（図4に示す）を通してROM内のメモリ位置に対するアドレスとして読み出し専用メモリ（ROM）500a～500cに与えられる。偶数係数ビット $X_0(k)$ 、 $X_2(k)$ 、 $X_4(k)$ および $X_6(k)$ は、

ROM500a~500cのそれぞれに格納された4つの予め計算された値のセットを表す。

【0072】ROM500a~500cは、予め計算された値Rx-A0、Rx-A1、Rx-A2およびRx-A3を格納する。ここでx=0、1および2である。以下の表1は、ROM500aの内容を示す。ROM500bおよび500cは、同じ内容をもつ。部分IDCT回路105bのなかのROM（不図示）の内容は、表3に示す。表2は、ROM500aの完全なアドレス空間を示す。表2に示すように、下半分は、符号が反対ではあるが、メモリの上半分の鏡像になっている。偶数係数値ビットX0(k)と他の偶数係数値ビットX2

(k)、X4(k)およびX6(k)とのXORをとることによって、ROM500aが表1に示すメモリ内容をもつときのROM500aに格納された予め計算された値についての適切なアドレスが生成される。X0

(k)が0であるとき、X2(k)、X4(k)およびX6(k)によって生成されたアドレスは、XORロジックによっても影響を受けない。X0(k)が1であるとき、アドレスは、表2の下半分における値をさす。XORロジックは、X2(k)、X4(k)およびX6

(k)によって生成されたアドレスを変更して、アドレスが上半分の鏡像をさすようにする。鏡像の符号は、アキュムレータ部においてROMからの出力をネグートすることによって修正される。アルゴリズムの一部として、出力C(0)、C(1)およびC(2)は、アキュムレータ部でのキャリーとして用いられて、ROM出力をネグートする。XORゲート510a~510iは、入力部100a~100cおよびROM500a~500cの間において、偶数係数ビット値のXORをとる。

【0073】

【表1】

メモリアドレス	Rx-A0	Rx-A1	Rx-A2	Rx-A3
000	-0.68	0.135	-0.135	-0.027
001	-0.489	-0.327	0.327	-0.218
010	-0.327	-0.218	-0.489	0.327
011	-0.135	-0.68	-0.027	0.135
100	-0.218	0.327	-0.327	-0.489
101	-0.027	-0.135	0.135	-0.68
110	0.135	-0.027	-0.68	-0.135
111	0.327	-0.489	-0.218	-0.327

【0074】

【表2】

メモリアドレス	Rx-A0	Rx-A1	Rx-A2	Rx-A3
000	-0.68	0.135	-0.135	-0.027
0001	-0.489	-0.327	0.327	-0.218
0010	-0.327	-0.218	-0.489	0.327
0011	-0.135	-0.68	-0.027	0.135
0100	-0.218	0.327	-0.327	-0.489
0101	-0.027	-0.135	0.135	-0.68
0110	0.135	-0.027	-0.68	-0.135
0111	0.327	-0.489	-0.218	-0.327
1000	-0.327	0.489	0.218	0.327
1001	-0.135	0.027	0.68	0.135
1010	0.027	0.135	0.135	0.68
1011	0.218	-0.327	0.327	0.489
1100	0.135	0.68	0.027	-0.135
1101	0.327	0.218	0.489	-0.327
1110	0.489	0.327	-0.327	0.218
1111	0.68	-0.135	0.135	0.027

*【0075】

【表3】

メモリアドレス	Rx-A0	Rx-A1	Rx-A2	Rx-A3
000	-0.641	0.225	-0.15	0.127
001	-0.543	-0.053	0.265	-0.363
010	-0.363	-0.265	-0.053	0.543
011	-0.265	-0.543	0.363	0.053
100	-0.225	0.127	-0.641	-0.15
101	-0.127	-0.15	-0.225	-0.641
110	0.053	-0.363	-0.543	0.265
111	0.15	-0.641	-0.127	-0.225

【0076】偶数係数値Xn(11)のMSBつまり符号ビットは、入力部100cに格納される。タイミング信号Tsは、符号ビットがリードされるクロックサイクルのあいだアクティブHである。Tsは、図4に示すように、XORゲート510jにおいてX0(k)とのXORがとられる。このXOR関数は、符号時間(signtime)のあいだ、C(2)がX0(k)について反転されるようにはたらく。真理値表は、以下に示すとおりである。

【0077】

【表4】

*

Ts	X0(k)	C(2)	説明
0	0	0	符号時間ではなく、ミラーでもない＝ネゲートしない
0	1	1	符号時間ではないが、ミラーである＝ネゲートする
1	0	1	符号時間であるが、ミラーではない＝ネゲートする
1	1	0	符号時間であり、ミラーでもある＝ネゲートしない

【0078】Tsが0であるとき、C2は、C0およびC1と同様に動作する。Tsが1であるとき、もしミラー関数が必要とされないならば、C2は否定をおこなう。もしTsおよびX0(k)の双方が1であるならば、2重否定が要求されるが、結局、否定はおこなわれないことになる。

【0079】ROM500a～500cはそれぞれ、偶数係数値X0(k)、X2(k)、X4(k)およびX6(k)によって特定される4つの16ビットの予め計算された値をつくる。例えば、ROM500aは、予め計算された値R0_Axを与える。ここでx=0、1、2および3である。ROM500bは、予め計算された値R1_Axを与え、ROM500cは、予め計算された値R2_Axを与える。予め計算された値は、それぞれのXORゲート510a～510iによってつくられた出力にしたがってROMから取り出される。予め計算された値は、図4に示すように、それぞれアキュムレータ120a～120dに与えられる。さらにそれぞれのアキュムレータ120a～120dは、値c(n)でキャリーが与えられる。ここでn=0、1および2である。

【0080】3baatアキュムレータ120a～120dのうちの1つとして用いるのに適したアキュムレータの一例は、図24に示される。アキュムレータは、それぞれのROM500a、500bおよび500cからの3つの16ビットの予め計算された値R0_Ax、R1_AxおよびR2_Axを受け取る。さらにそれぞれのアキュムレータにはキャリー入力値c(0)、c

(1)およびc(2)が与えられる。値c(0)、c(1)およびc(2)は、アドレスミラー関数のために必要となるROM出力をネゲートするために用いられる。さらにc(2)は、ROM出力の符号時間否定(sign time negation)のために用いられる。

【0081】部分IDCT105aおよび105bのアキュムレータは、それぞれ値(X0'+X7')、(X1'+X6')、(X2'+X5')、(X3'+X4')、(X0'-X7')、(X1'-X6')、(X2'-X5')および(X3'-X4')をつく

＊ ける。これらの値は、図2に示される転置RAM150において転置される前に媒介係数値X0'、X1'、X2'、X3'、X4'、X5'、X6'およびX7'に変換される。この変換をおこなうために、アキュムレータ120a～120dによってつくられた値は、ラッチ/MUX回路890によって選択され、A/S回路140aおよび140b、S/E回路141aおよび141b、加算器145aおよび145bおよび丸め回路148aおよび148bを用いて結合されることによって、図8に示すように1-D IDCTを完了させて値X0'、X1'、X2'、X3'、X4'、X5'、X6'およびX7'をつくる。

20 【0082】図24に示すように、キャリー値c(2)、c(1)およびc(0)は、それぞれ予め計算された値R2_Ax、R1_AxおよびR0_AxとXORをとられて、値R2_Ax'、R1_Ax'およびR0_Ax'をつくる。もしキャリー値が1であるならば、結果は、予め計算された値の1の補数である。これに続いて、値c(2)、c(1)およびc(0)におけるキャリーは、予め計算された値R2_Ax、R1_AxおよびR0_Axとしてアキュムレートされた値に加えられて、加算される。その結果、もし値c(2)、c(1)およびc(0)のいずれかが1であれば、それぞ

30 ぞれの値R2_Ax、R1_AxおよびR0_Axの2の補数が加算において用いられる。これは、表3の下半分にある予め計算された値のための符号の変更をおこない、また符号時間において要求される符号の変更をおこなう。

40 【0083】符号拡張回路610aおよび610bは、XORゲート600aおよび600bによって与えられた出力値の符号ビットを拡張する。符号拡張回路610aおよび610bの出力信号は、加算器620aにおいてc(2)と加算される。以下の表5は、拡張された予め計算された値R2-Ax'およびR1-Ax'を表す。

【0084】

【表5】

*

2値重 み付け	R2-Ax'	R1-Ax'	2値重 み付け	SUM1	R0-Ax'	2値重 み付け	SUM2	SUM3 [16:3]	IC
16	15	15	17	16	15	18	17	18	15
15	16	16	16	15	15	17	16	18	15
14	14	15	15	14	15	16	15	18	15
13	13	14	14	13	15	15	14	18	15
12	12	13	13	12	14	14	13	17	14
11	11	12	12	11	13	13	12	16	13
10	10	11	11	10	12	12	11	15	12
9	9	10	10	9	11	11	10	14	11
8	8	9	9	8	10	10	9	13	10
7	7	8	8	7	9	9	8	12	9
6	6	7	7	6	8	8	7	11	8
5	5	6	6	5	7	7	6	10	7
4	4	5	5	4	6	6	5	9	6
3	3	4	4	3	5	5	4	8	5
2	2	3	3	2	4	4	3	7	4
1	1	2	2	1	3	3	2	6	3
0	0	1	1	0	2	2	1	5	2
		0	0	0	1	1	0	4	1
					0	0	0	3	0
キャリ ーイン	C(2)			C(1)			C(0)		

【0085】拡張された予め計算された値R1_Ax'のLSBは、加算器620aにおける和をつくるためには用いられず、加算器620aの出力値のLSBになり、値SUM1をつくるためのレジスタ630aに与えられる。XORゲート600cの出力およびキャリーインビット値c(1)およびc(0)は、またレジスタ630aにも与えられる。

【0086】値SUM1、キャリーインビット値C

(1) およびXORゲート600cの出力は、その符号ビットが符号拡張回路610cにおいて拡張されたあとに、加算器620bにおいて加算される。符号拡張回路610cの出力値のLSBは、加算器620bで和をつくるためには用いられず、加算器620bの出力値のLSBになって、値SUM2をつくる。SUM2は、加算器620cにおいてキャリーイン値c(0)および符号拡張回路610dの出力値に加えられ、値SUM3をつくる。符号拡張回路610dは、選択ロジック640の出力値の符号ビットを拡張する。ロジック640は、加算器620cからの初期状態またはフィードバック値FBVを与える。初期条件は、オフセットバイナリが予め計算された値のために用いられるので必要となる。FBV値は、SUM3の16のMSBである。タイミング信

*号T1sbに応答して、選択ロジック640は、加算器620cの出力から16個のMSBまたは初期条件値ICVを選択する。選択ロジック640の出力は、符号拡張回路610dに与えられる。

【0087】予め計算された値のグループの第1の部分積が計算されつつあるときには、信号T1sbは、初期条件値を加算器620cに与えるためにアクティブになっている。それぞれの部分積が計算されているときには、加算器620cにおいて、以前に計算された部分積の値との和がとられ、レジスタ630bから選択ロジック640を通っていく。その結果は、それからレジスタ630bに格納される。完全な積は、4クロックサイクルでアキュムレートされる。

【0088】図25は、キャリーロジック回路の一部のブロック図である。図4を参照すると、キャリーロジック回路800a、800b、800cおよび800dは、部分Nx1IDCT回路105aにおいて用いられる。ほとんど同一のキャリーロジック回路800e、800f、800g、800h(不図示)が部分Nx1IDCTプロセッサ105bにおいて用いられる。キャリーロジック回路800a、800b、800cおよび800dと、キャリーロジック回路800e、800f、

800gおよび800hとの違いは、図25に示される。キャリアロジック回路800b、800cおよび800dの構造は、図25に示すキャリアロジック回路800aと同じである。キャリアロジック回路800f、800gおよび800hの構造は、図25に示すキャリアロジック回路800eと同じである。説明の簡単のために、キャリアロジック回路800aおよび800eだけが以下では説明される。キャリアロジック800eは、図3に示される部分IDCT回路105bの中に位置する。キャリアロジック800aは、キャリアロジック800eと協調して動作する。キャリアロジック回路800b、800cおよび800dは、部分IDCT回路105bにあるキャリアロジック回路800f、800gおよび800h（不図示）とそれぞれ協調して動作する。

【0089】アキュムレータ120a~120dは、図4に示すように、それぞれの媒介値の16個のMSBと、3個のLSBとをラッチ/MUX回路890およびキャリアロジック回路800a~800dに与える。

【0090】図25に示すように、アキュムレータ120aからの値SUM3 ($X0' + X7'$) の3個のLSBは、それぞれ分離されたキャリアロジック回路810a~810fに与えられる。さらに値 $X0' \sim X7'$ を与える部分IDCT回路105bのアキュムレータ0（不図示）からの3個のLSBは、インバータ820a~820cを通してキャリアロジック回路810d~810fに、またキャリアロジック回路810a~810cに与えられる。これらのインバータは、減算演算を実現するために必要である。

【0091】キャリアロジック回路810a~810fは、それらのそれぞれの入力値を4クロック期間にわたって結合することによって、部分IDCT回路105aおよび105bからのアキュムレータ120aおよび120eからの値と加算器145aおよび145bにおいて加算されるキャリア値をつくる。これらの回路は、ビットの和はつくらずに、もし値が和をとられると、その結果生じるキャリアビットだけをつくる。LSBがアキュムレータ120a~120dから与えられると、制御信号 T_{ls} が用いられて、キャリアロジック回路810cおよび810fへの適切な初期キャリアインを与える。制御信号 T_{ls} は、アクティブ・ハイであり、インバータ820dを通してANDゲート835の入力においてローの値を与え、ORゲート830にはアクティブ・ハイの値を与える。キャリアロジック回路810cには、初期キャリア値(ICV0)の0が与えられる。これは、キャリアロジック回路800aは、($X0' + X7'$) + ($X0' - X7'$) の加算をおこなうからである。キャリアロジック回路810fには、初期キャリア値ICV0'の1が与えられる。これは、キャリアロジック回路800eは、($X0' + X7'$) - ($X0'$

- $X7'$) の減算をおこなうからである。 T_{lsb} は、蓄積された総和およびキャリア値を完成させるために必要なので、4クロック期間のうち1クロック期間はアクティブになる。初期キャリア値が T_{lsb} アクティブ時間のあいだ与えられた後、前のクロックサイクルにおいてフリップフロップ840aに格納されたキャリア値CV1は、次の3クロックサイクルについてのキャリア値ICV0のように、ANDゲート835を通して与えられる。

10 【0092】図25を参照すると、キャリアロジック回路810cは、値 $X0' + X7'$ の最下位ビットと、値 $X0' - X7'$ の最下位ビットとをキャリア値ICV0に結合して、キャリア値ICV1をつくる。キャリアロジック回路810bは、値 $X0' + X7'$ の第1のより高位のビットおよび値 $X0' - X7'$ の第1のより高位のビットを、キャリアロジック回路810cからつくられたキャリア値ICV1と結合することによって、キャリア値ICV2をつくる。媒介キャリア値ICV2は、キャリアロジック回路810aに与えられる。このキャリアロジック回路810aがキャリア値ICV2を値 $X0' + X7'$ の第2のより高位のビットおよび値 $X0' - X7'$ の第2のより高位のビットと結合することによって、キャリア値CV1をつくる。キャリア値CV1は、クロックサイクルごとにフリップフロップ840aに格納される。キャリア値CV1は、4クロックサイクルごとに値 $X0' + X7'$ の16個のMSBとともに図26に示すラッチ845aに格納される。

30 【0093】図26を参照すると、キャリア値CV1および値 $X0' + X7'$ は、4クロックサイクルのあいだラッチ845aに格納される。ラッチ845aに格納された値は、マルチプレクサ850aに与えられる。さらにキャリアロジック回路800b~800dからのキャリア値CV2~CV4は、それぞれラッチ845b~845dに格納される。マルチプレクサ850aおよび850bは、図2に示すタイミングおよび制御回路330からのマルチプレクサ信号に応答して、ラッチ845a~845dに格納された4つの値のうち1つを選択する。マルチプレクサ855は、加算/減算信号 T_m に
40 応答して、マルチプレクサ850aまたは部分IDCT回路105bの対応するマルチプレクサ（不図示）からのキャリア値を選択する。別のマルチプレクサ（不図示）は、マルチプレクサ850bからのキャリア値および部分IDCT回路105bの中にあるマルチプレクサ（不図示）からのキャリア値を選択する。

50 【0094】キャリアロジック回路800a~800dは、4つのキャリア値CV1~CV4をつくる。キャリア値CV1~CV4は、図8に示すように加算器145aおよび145bが加算をおこなうときに使われるラッチ/MUX回路によって選択されるキャリア値の加算である。キャリアロジック回路800e~800h（不図

示)は、4つのキャリー値CV5~CV8(不図示)をつくる。キャリー値CV5~CV8は、図8に示すように加算器145aおよび145bが減算をおこなうときに使われるラッチ/MUX回路によって選択されるキャリー値の減算である。

【0095】キャリー値CV1をつくる上述のプロセスは、実質的に他のアキュムレータからのキャリー値をつくるプロセスと同じである。しかし1つ異なる点は、部分IDCT回路105bの中のアキュムレータ(不図示)から与えられる値がまず反転してから、図25に示すようにそれぞれのキャリー回路に与えられることである。

【0096】ラッチ/MUX回路890は、アキュムレータおよびキャリーロジックからの値を選択し、図8に示す加算器145aおよび145bにおいて算術演算をおこなう。図3に示すA/S符号拡張回路140aおよび140bは、符号拡張をおこなうために用いられ、減算動作がおこなわれる場合にはネゲートするためにも用いられる。加算器の出力値は、図8に示される。

【0097】図27は、図2に示す転置RAM回路150のブロック図である。値X0'、X2'、X4'およびX6'および値X1'、X3'、X5'およびX7'は、交互に、図27に示すアップパーRAM900aおよびロワーRAM900bに与えられる。

【0098】加算器145aおよび145bから与えられるデータは、図27、図28、図29、図30、図31、図32、図33、図34および図35に示すように、転置RAM150に書き込まれる。転置RAM150は、2つのデュアルポートRAM900aおよび900bを有している。これらのRAMはそれぞれ、16ビットの幅および32ビットの深さをもっている。加算器145aおよび145bによってつくられた値は、RAM900aおよび900bに与えられる。RAM900aおよび900bに格納され、マルチプレクサ930aおよび930bによって選択された値は、行および列が転置される。転置された値は、RAM900aおよび900bから与えられる。

【0099】上述のように第1の1-D IDCTは、DCT係数のブロックの列についておこなわれ、第2の1-D IDCTは、媒介係数値の行についておこなわれる。IDCT回路300と同様に、IDCT回路310における処理は、偶数および奇数処理パスに分離される。したがって転置RAM150における値の転置のあいだ、媒介係数値は、偶数および奇数グループ(係数ブロックのそれぞれの行におけるそれぞれ偶数および奇数列の番号を表す)に分割されることによって、図2に示すIDCT回路310の偶数および奇数入力部に与えられる。IDCT310に与えられる値は、Xn'と表される。これらの値は、DCT係数ではなく、部分的に変換された値である。第2のIDCT回路310は、ID

CT回路300と同じステップをおこなって、値Xn'をイメージ画素値に変換する。この1-D IDCT処理は、4baat処理が3baat処理の代わりに用いられることを除けば上述のものと同じである。

【0100】IDCT回路310に与えられる値が上述のように、DCT係数ではなく、一部だけ処理されたDCT係数である点を除けば、IDCT回路310の動作を説明するために同じ表記が用いられる。したがって表記X0、X1、X2、X3、X4、X5、X6およびX7がIDCT回路310を参照して述べられるとき、値は、媒介係数であって、DCT係数ではない。IDCT回路310は、画素x0、x1、x2、x3、x4、x5、x6およびx7をつくるための変換を完了する。

【0101】RAM900aおよび900bに与えられる値は、1つのブロックに対応する64個の値のグループごとにパターンをなす。64の値は、8つの値X0'~X7'の8つのグループを含む。説明のために、64の値は、X0'~X63'として表される。値X0'、X2'、…、X60'およびX62'は、偶数値であり、値X1'、X3'、…、X61'およびX63'は、奇数値である。

【0102】値X0'~X63'のRAM900aおよび900bからのリードおよびRAM900aおよび900bへのライトを以下に図28~図35を参照しながら説明する。図28は、図27に示すRAM900aおよび900bにおけるメモリ位置に対する互いに異なる可能な32個のアドレスA0~A31を示す。

【0103】以下に明らかなように、いったん書き込みおよび読み出し動作が転置RAM150のために開始されると、データは、転置処理を始めたり、止めたりすることなく、RAM900aおよび900bへの書き込み可能となる同時に、そこからの読み出しも可能になる。さらにRAM900aおよび900bは、RAM900aおよび900bから値が与えられて、第2の1-D IDCTのために偶数および奇数の入力値に分離されるように、交互に偶数および奇数値を格納する。

【0104】図29に示すように、偶数値X0'、X2'、X4'およびX6'は、シーケンシャルに第1の1-D IDCT300の偶数部から与えられ、RAM900aの第1の列にシーケンシャルに格納される。値X0'、X2'、X4'およびX6'は、それぞれメモリアドレスA0、A1、A2およびA3に格納される。実質的に同時に、奇数値X1'、X3'、X5'およびX7'は、シーケンシャルに第1の1-D IDCTの奇数部から与えられ、RAM900bの第1の列にシーケンシャルに格納される。値X1'、X3'、X5'およびX7'は、それぞれメモリアドレスA0、A1、A2およびA3に格納される。

【0105】それから奇数値X9'、X11'、X13'およびX15'は、第1の1-D IDCTの偶数部

からシーケンシャルに与えられ、RAM900aの第5の列にシーケンシャルに格納される。値X9'、X11'、X13'およびX15'は、このようにそれぞれのメモリアドレスA16、A17、A18およびA19に格納される。実質的に同時に、媒介係数値X8'、X10'、X12'およびX14'は、第1の1-D ICTの奇数部からシーケンシャルに与えられ、RAM900bの第5の列にシーケンシャルに格納される。値X8'、X10'、X12'およびX14'は、それぞれメモリアドレスA16、A17、A18およびA19に格納される。

【0106】図29に示されるように、偶数および奇数値は、交互にRAM900aおよび900bに与えられ、格納される。これらの値は、64個の値のすべてが図29に示すRAMに格納されるまでのあいだRAMのカラムに沿って格納されていく。

【0107】図30に示すように、値は、RAM900aおよび900bのそれぞれから4クロックサイクルごとに半分の行の割合で取り出される。例えば、図30に示すように、値X0'、X16'、X32'およびX48'は、RAM900aからマルチプレクサ930aおよび930bを介して取り出され、部分IDCT回路155aに与えられる偶数値X0、X2、X4およびX6として用いられる。実質的に同時に、値X1'、X17'、X33'およびX49'は、RAM900bからマルチプレクサ930aおよび930bを介して取り出され、IDCT回路155bのための奇数値X1、X3、X5およびX7として用いられる。それから次の半分の行が図31に示すように、シーケンシャルにRAM900aおよび900bから読み出される。これらの値は、64個の値の第1のグループすべてが図32に示すように取り出されるまでのあいだ、上述の半分の行の方法に則してRAMから取り出される。

【0108】図30を参照すると、値がRAM900aおよび900bの半分の行からリードされた後、64個の値の次のグループからの値は、カラの半分の行に格納される。例えば、値X1'、X17'、X33'およびX49'がRAM900aから取り出された後、次のグループの64個の値からの値X0'、X2'、X4'およびX6'は、リードされたばかりの半分の行に格納される。同じプロセスは、RAM900bについてもおこなわれるが、値X1'、X3'、X5'およびX7'が読み出されたばかりの半行に格納される点異なる。

【0109】次のグループの64の値からの64の値が図30～図32に示すようにすべてRAM900aおよび900bに格納されるまでのあいだ、値Xn'は、RAM900aおよび900bの半分の行に書き込まれる。それから、値が図33～図35に示すように、RAM900aおよび900bの列から値が取り出されると同じフォーマットで、RAM900aおよび900b

の列から取り出される。

【0110】列および行の交互の順番で、RAM900aおよび900bに格納し、RAM900aおよび900bから取り出すことによって、値は、RAM900aおよび900bに連続的に格納され、RAM900aおよび900bから連続的に取り出される。

【0111】マルチプレクサ930aおよび930bによって値が選択されて、値を偶数および奇数値に分離する。偶数値X0、X2、X4およびX6は、部分IDCT回路155aの入力部（不図示）に与えられ、奇数値X1、X3、X5およびX7は、部分IDCT回路155bの入力部（不図示）に与えられる。部分IDCT回路155aおよび155bは、部分IDCT回路105aおよび105bとほとんど同じであるが、部分IDCT回路155aおよび155bが、16に等しいより広いビット幅Xを扱うためのさらなる入力部（不図示）を含むことが異なる。16ビット値は、転置RAM150から部分IDCT回路155aおよび155bに与えられる。これと対照的に、12ビット値は、入力部100a～100fに与えられる。これにより、部分IDCT回路155aおよび155bは、8係数値のそれぞれの半行をそれぞれの回路段を通して、4クロック期間に処理するために、4b a a t算術を用いる。部分IDCT回路155aおよび155bのそれぞれの入力部に与えられる16ビット値Xn'は、図23に示される。

【0112】部分IDCT回路155aおよび155bは、それぞれ、さらなる入力部（不図示）に対応するさらなるROM（不図示）がある点を除いてROM500a、500bおよび500cと同じROMを有する。これらのROMは、1-D ICT回路105aおよび105bの中の他のROMと同一である。さらにXORゲート（不図示）がさらなる入力部（不図示）およびさらなるROM（不図示）の間に接続されている。XORゲートは、図4に示されたXORゲート510a～510iと同じ機能を果たす。

【0113】さらに部分IDCT回路155aおよび155bの中のアキュムレータは、回路155aおよび155bの中のアキュムレータがそれぞれさらなる加算器を含み、さらなるROMから与えられる出力を扱う点を除いて、部分IDCT回路105aおよび105bの中のアキュムレータと同じである。

【0114】図36は、部分IDCT回路155aおよび155bの中のアキュムレータのブロック図である。図36に示すアキュムレータは、さらなる符号拡張回路710、XORゲート700および加算器720bが用いられて、さらなる入力部から与えられたさらなる予め計算された値が加算される点を除いて、図24に示すアキュムレータと同様に動作する。さらに加算器720aは、さらなる加算演算から生じる大きさを保持するための20ビット加算器である。

【0115】図36に示すアキュムレータから与えられる出力は、図24に示すアキュムレータから与えられる出力よりも1ビットだけ多い20ビットである。図36に示すそれぞれのアキュムレータによってつくられた16個のMSBは、IDCT回路155aおよび155bの中のラッチ/MUX回路（不図示）に与えられる。これはIDCT回路105aおよび105bの中にある図24に示すアキュムレータと同じである。図36に示すそれぞれのアキュムレータによってつくられた4つのLSBは、IDCT回路155aおよび155bの中のキャリアロジック回路（不図示）に与えられる。

【0116】IDCT回路155aおよび155bの中のキャリアロジック回路（不図示）は、さらなるキャリア回路（不図示）がそれぞれのキャリアロジック回路（不図示）に加えられて、IDCT回路155aおよび155bの中のラッチ/MUX回路（不図示）に与えられるキャリア値を計算する点を除いて、IDCT回路105aおよび105bの中の、それぞれ図4および図25に示すキャリアロジック800a～800dと、800e～800hと同じである。さらなるキャリア回路は、図36に示すアキュムレータから与えられた4つのLSBを用いてキャリア値を計算するために設けられている。

【0117】ラッチ/MUX回路（不図示）は、図4および図26に示すラッチ/MUX回路890と同じ仕様である。

【0118】符号拡張回路195aおよび195b、A/S符号拡張回路200aおよび200bは、それぞれ、符号拡張回路141aおよび141b、A/S符号拡張回路140aおよび140bと同様に動作する。図8に示すタイミングチャートは、出力値X0'、X1'、X2'、X3'、X4'、X5'、X6'およびX7'が画素であって、IDCT回路155aおよび155bの媒介係数ではないことを除いて、部分IDCT回路155aおよび155bの動作を示す。

【0119】丸め回路210aおよび210bは、9ビットの画素値をつくるために与えられた値を丸める。

【0120】上述の説明は、IDCTプロセッサについておこなわれたが、本発明は、IDCTプロセッサに限定されるものではない。同じ方法は、DCTをおこなうときにも利用できる。そのような回路をつくるときには改変が必要であるが、上述の説明から当業者は、上述の方法を採用するDCTプロセッサをつくることができる。

【0121】ある特定の実施形態を参照して図示および説明がなされてきたが、本発明は、それにもかかわらず、以上に示された詳細には限定されるものではない。むしろ細部にわたるさまざまな改変が、クレームの均等物の範囲の中で、本発明の精神から離れることなくなされる。

【0122】

【発明の効果】本発明の実施形態によるIDCTプロセッサは、それぞれの処理パスに別個のIDCT回路を対応させることを不要にしつつ、IDCTをおこなってパラレル処理パスのデータストリームにおけるDCT係数を変換する。たとえそれぞれの処理パスに別個のIDCT回路を設けなくとも、復号化器のデータレートは低くならない。さらに、IDCTを実現するための回路は、それぞれのパスに別個のIDCT回路を設ける場合に採用されることになる回路に比べて、その規模を縮小することができる。よって復号化器のコストも削減できる。

【図面の簡単な説明】

【図1】本発明の一実施形態によるデコーダ装置のブロック図である。

【図2】本発明の一実施形態によるMPEGデコーダにおけるIDCT装置のブロック図である。

【図3】図2に示すIDCT装置の一部のより詳細なブロック図である。

【図4】図3に示す部分IDCT回路のブロック図である。

【図5】図1に示すバスコンバータの動作を説明するタイミングチャートである。

【図6】MPEGスキャンパターン0およびMPEGスキャンパターン1のフォーマットを図示するチャートである。

【図7】図2に示すIDCT装置の入力データを図示するタイミングチャートであり、各係数番号は、図6におけるMPEGスキャンパターン番号を指す。

【図8】図3および図4における部分IDCT回路の動作を説明するタイミングチャートである。

【図9】図3および図4にそれぞれ示されている105aおよび105bにそれぞれ含まれているIDCT装置の偶数入力部および奇数入力部にそれぞれ対応する入力データフォーマットを図示するタイミングチャートである。

【図10】ブロック表記および列（行）表記のそれぞれについて、図3に示すIDCT装置の偶数処理パスおよび奇数処理パスにそれぞれ対応するデータフォーマットを図示するタイミングチャートである。

【図11】マクロブロックの内容を図示するデータ構造図である。

【図12】図4に示すIDCT装置に好適に用いられる入力部の一例を図示するブロック図である。

【図13】図12に示すM2ブロックのブロック図である。

【図14】図12に示す入力部の動作を説明するデータ構造図である。

【図15】図12に示す入力部の動作を説明するデータ構造図である。

【図16】図12に示す入力部の動作を説明するデータ

構造図である。

【図17】図12に示す入力部の動作を説明するデータ構造図である。

【図18】図12に示す入力部の動作を説明するデータ構造図である。

【図19】図12に示す入力部の動作を説明するデータ構造図である。

【図20】図12に示す入力部の動作を説明するデータ構造図である。

【図21】図12に示す入力部の動作を説明するデータ構造図である。

【図22】図12に示す入力部の動作を説明するデータ構造図である。

【図23】図3に示すIDCT装置155aおよび155bの偶数処理パスおよび奇数処理パスにそれぞれ対応するデータフォーマットを図示するタイミングチャートである。

【図24】図3に示す3baat IDCT装置105aおよび105bに好適に用いられる、図4に示すアキュムレータ120の一例を図示するブロック図である。

【図25】図4に示すIDCT装置に好適に用いられるキャリーロジック回路の一例を図示するブロック図である。

【図26】図4に示すIDCT装置に好適に用いられるラッチ/MUX回路の一例を図示するブロック図である。

【図27】図3に示すIDCT装置に好適に用いられる転置部150の一例を図示するブロック図である。

【図28】図27に示すRAM900aおよび900bに対する可能なメモリアドレス割り当て例を図示するメモリマップ図である。

【図29】図27に示すRAM900aおよび900b *

*に対し、どのようにしてデータが格納され、取り出されるかを示すメモリマップ図である。

【図30】図27に示すRAM900aおよび900bに対し、どのようにしてデータが格納され、取り出されるかを示すメモリマップ図である。

【図31】図27に示すRAM900aおよび900bに対し、どのようにしてデータが格納され、取り出されるかを示すメモリマップ図である。

【図32】図27に示すRAM900aおよび900bに対し、どのようにしてデータが格納され、取り出されるかを示すメモリマップ図である。

【図33】図27に示すRAM900aおよび900bに対し、どのようにしてデータが格納され、取り出されるかを示すメモリマップ図である。

【図34】図27に示すRAM900aおよび900bに対し、どのようにしてデータが格納され、取り出されるかを示すメモリマップ図である。

【図35】図27に示すRAM900aおよび900bに対し、どのようにしてデータが格納され、取り出されるかを示すメモリマップ図である。

【図36】図3に示す4baat IDCT装置155aおよび155bに好適に用いられる、アキュムレータの一例を図示するブロック図である。

【図37】従来の技術によるIDCT装置のブロック図である。

【符号の説明】

5 ルータ

10a、10b 可変長復号化器

12 バスコンバータ

15a、15b 逆ジグザグスキャンメモリ

20a、20b 逆量子化器

30 逆離散コサイン変換

【図6】

【図11】

MPEG スキャンパターン0

列番号	0	1	2	3	4	5	6	7
行番号	0	0	1	5	6	14	15	27 28
1	2	4	7	13	16	26	29	42
2	3	8	12	17	25	30	41	43
3	9	11	18	24	31	40	44	53
4	10	19	23	32	38	45	52	54
5	20	22	33	39	46	51	55	60
6	21	34	37	47	50	56	59	61
7	35	36	48	49	57	58	62	63

【図14】

MPEG スキャンパターン1

列番号	0	1	2	3	4	5	6	7
行番号	0	0	4	8	20	22	36	38 52
1	1	5	7	21	23	37	39	53
2	2	6	19	24	34	40	50	54
3	3	9	18	25	35	41	51	55
4	10	17	26	30	42	46	56	60
5	11	16	27	31	43	47	57	61
6	12	15	28	32	44	48	58	62
7	13	14	29	33	45	49	59	63

【図15】

0	1
2	3

Y

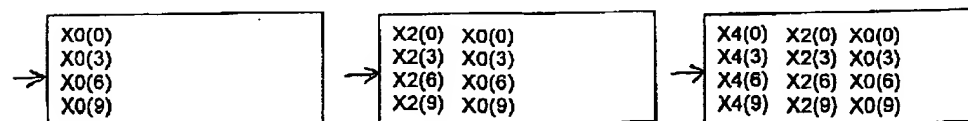
4 5

C_b C_r

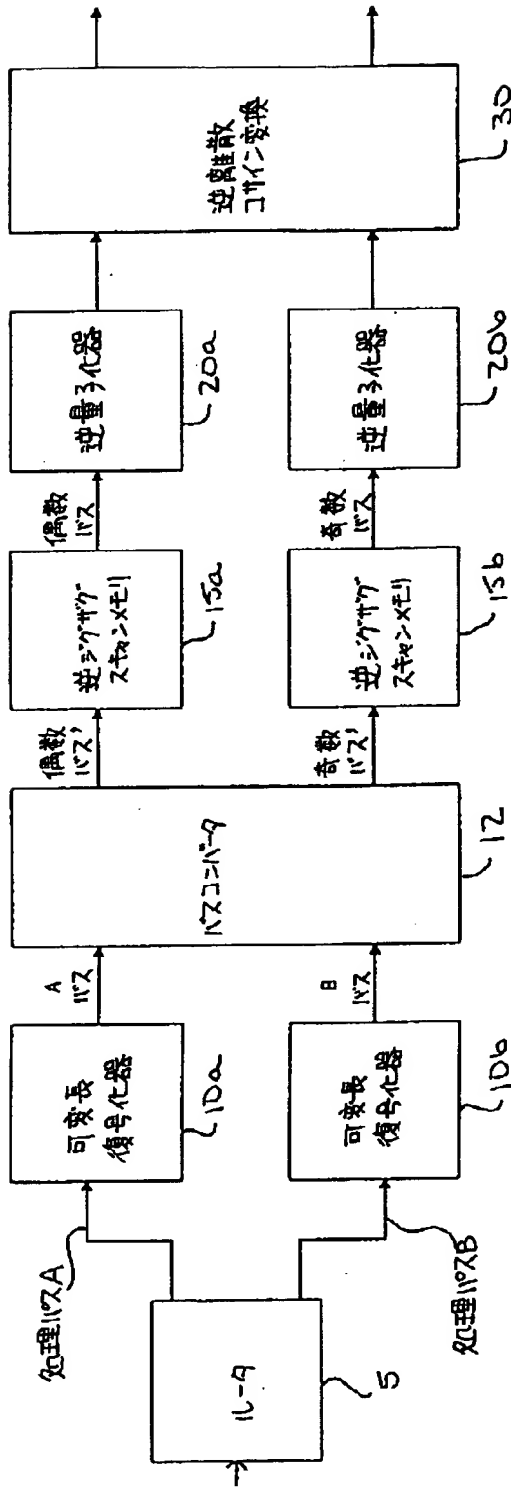
【図16】

【図17】

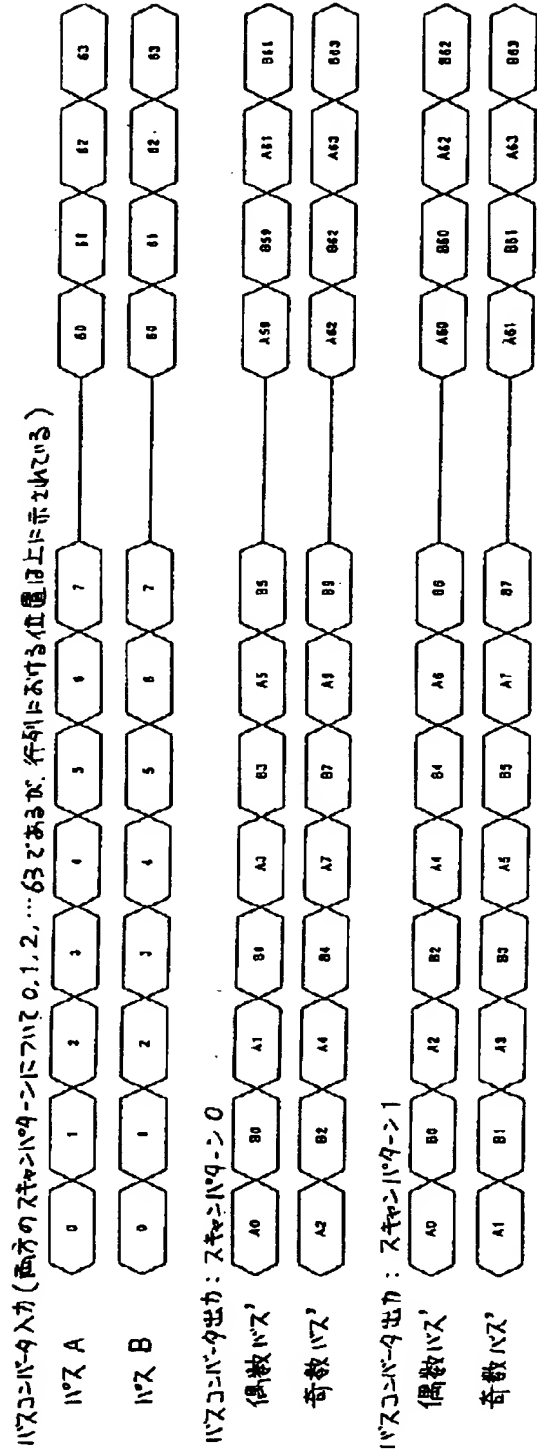
X6(0)	X4(0)	X2(0)	X0(0)
X6(3)	X4(3)	X2(3)	X0(3)
X6(6)	X4(6)	X2(6)	X0(6)
X6(9)	X4(9)	X2(9)	X0(9)



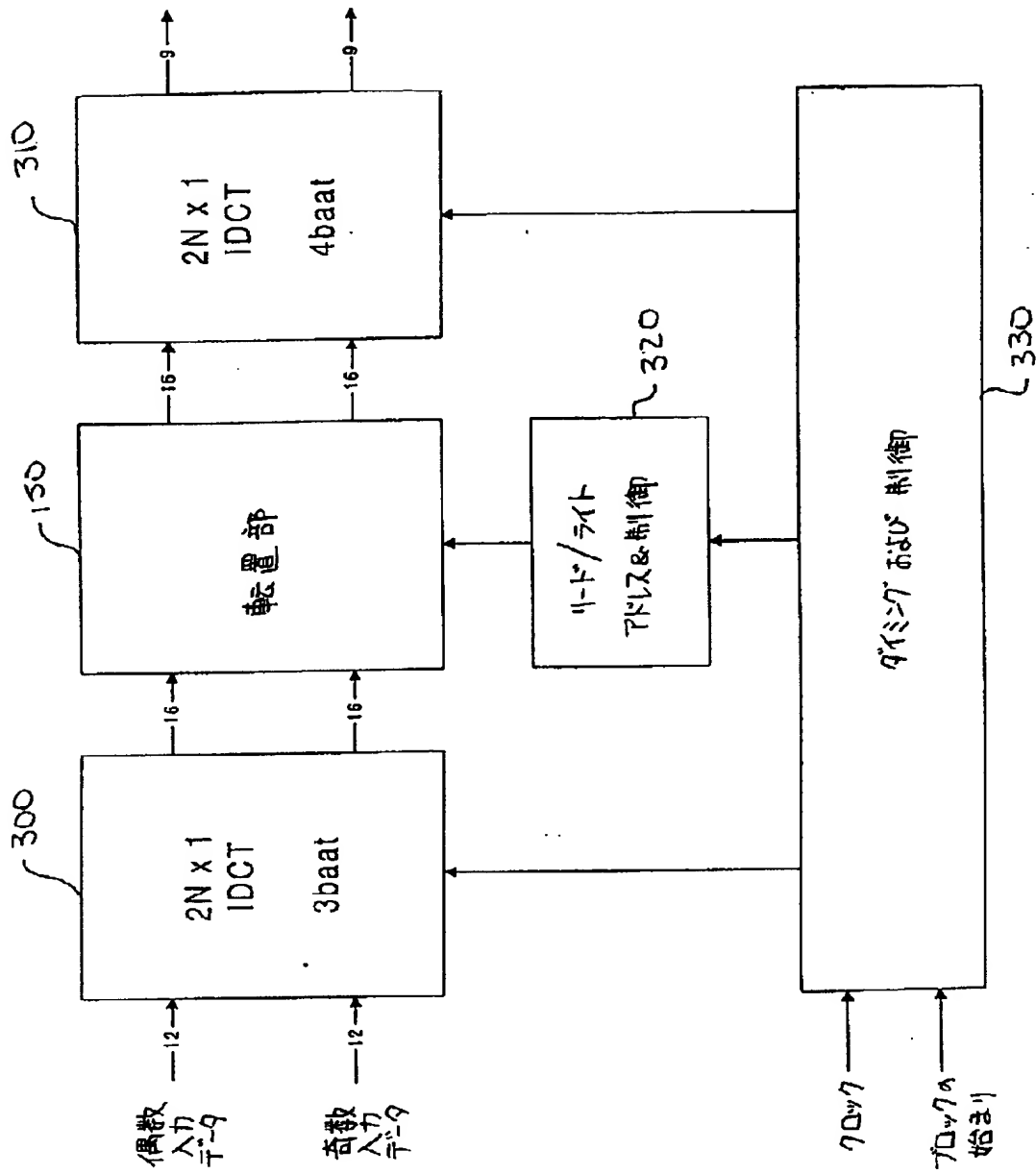
【図1】



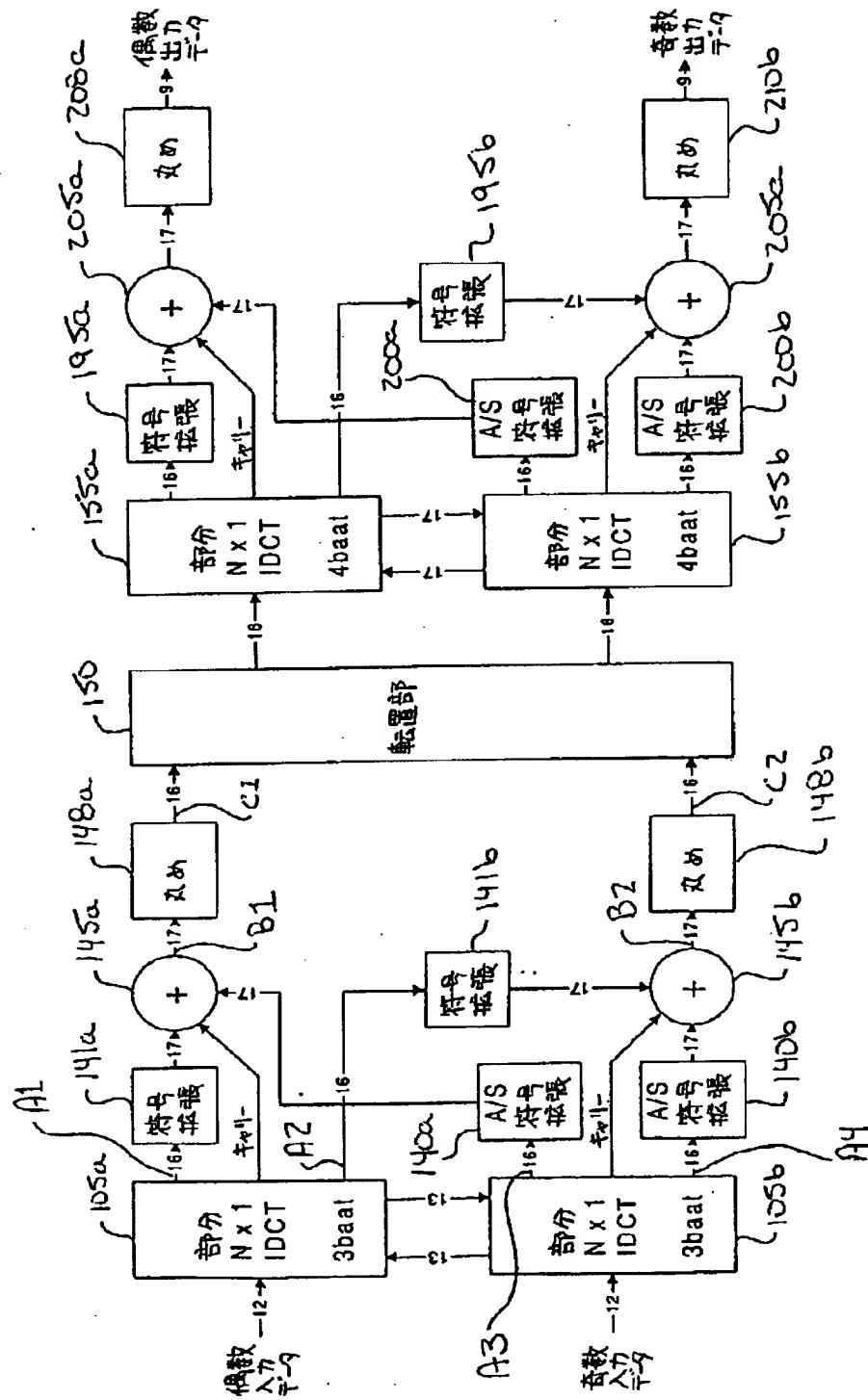
【図5】



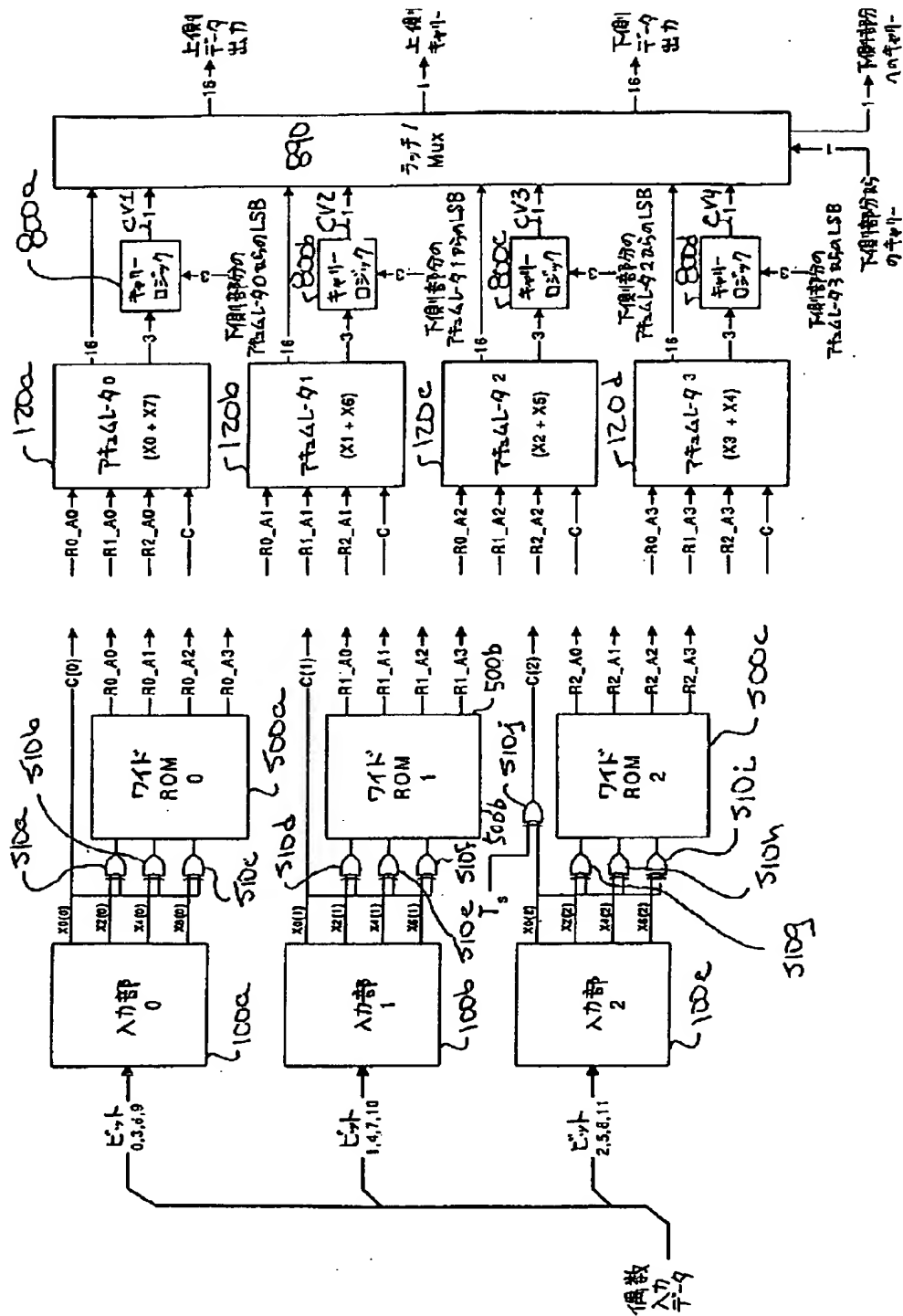
【図2】



【図3】

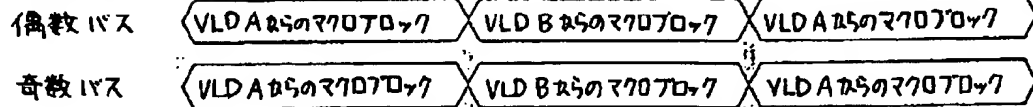


【図4】



【図7】

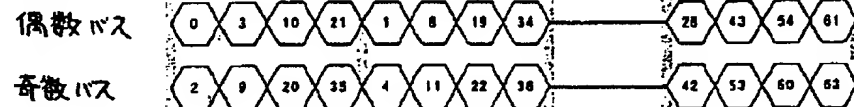
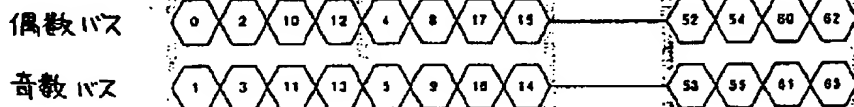
マクロブロックレベル (両スキャンパターンに共通)



ブロックレベル



列レベル

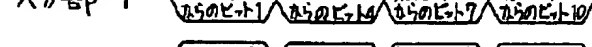
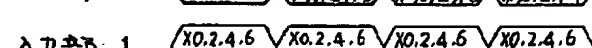
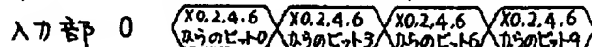
係数レベル
スキャンパターン0係数レベル
スキャンパターン1

【図9】

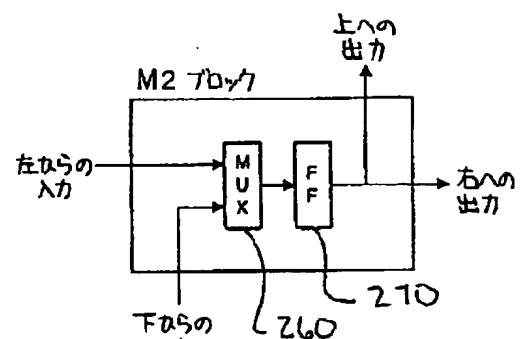
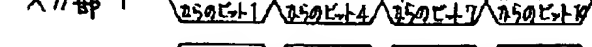
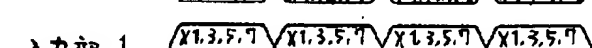
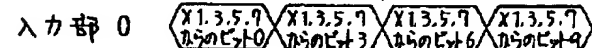
【図13】

ビットデータフォーマット-3baat

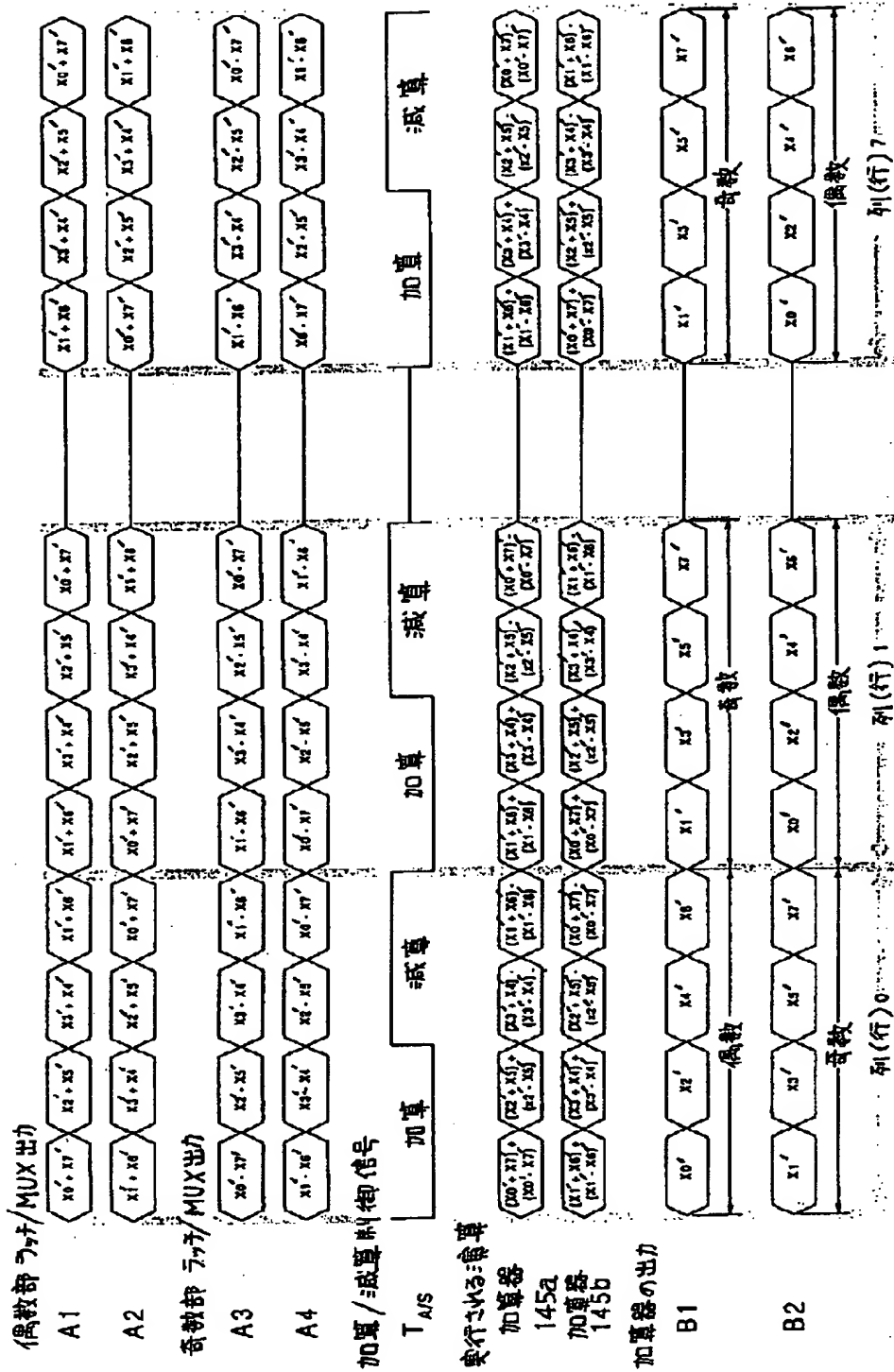
偶数部



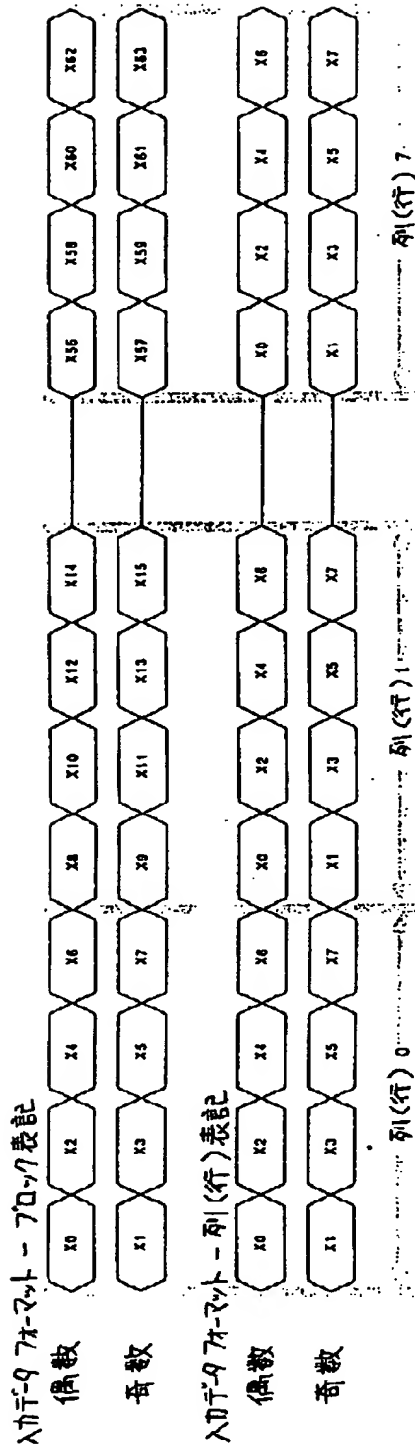
奇数部



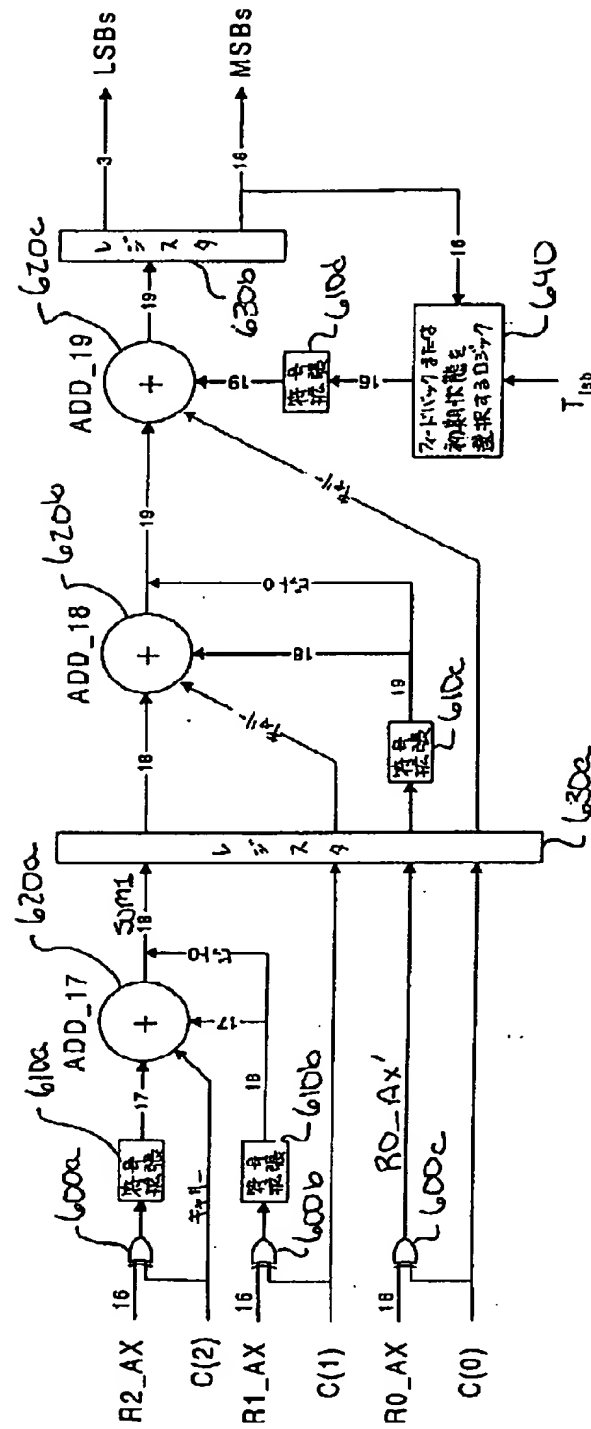
【図8】



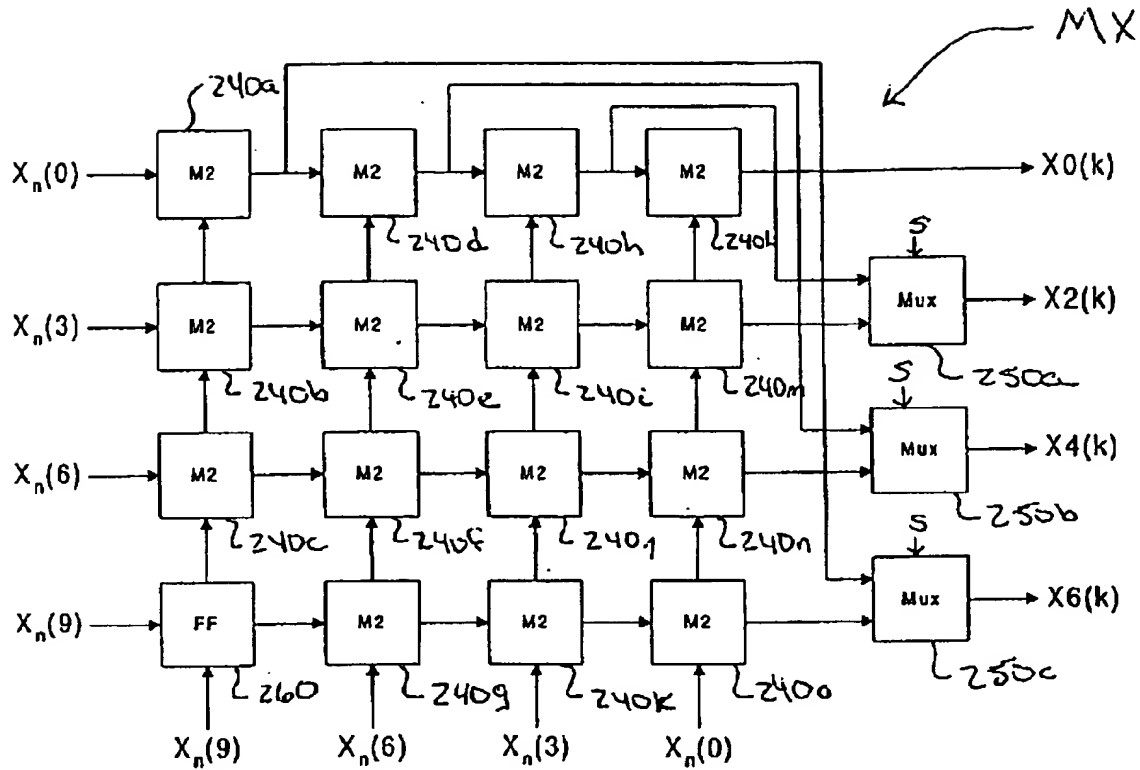
【図10】



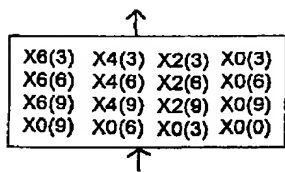
【図24】



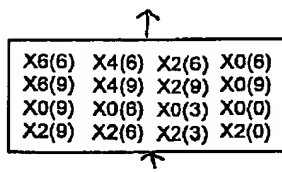
【図12】



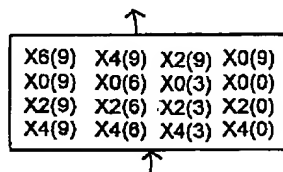
【図18】



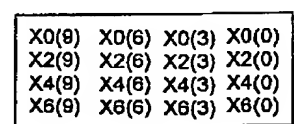
【図19】



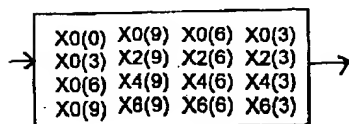
【図20】



【図21】



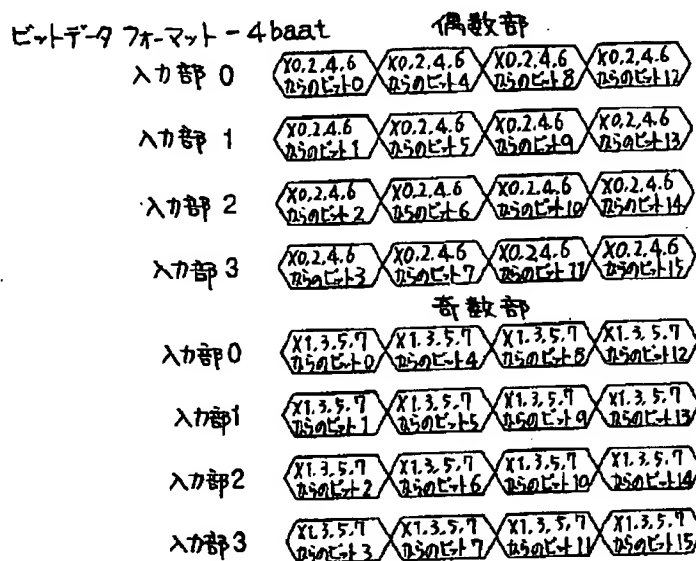
【図22】



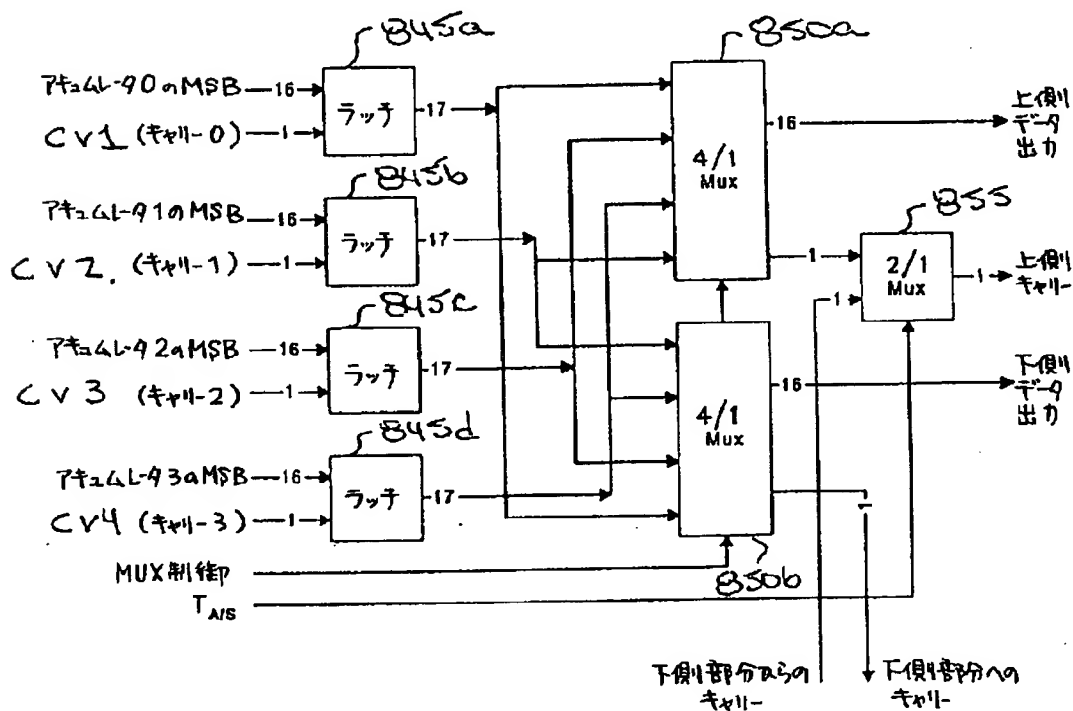
【図28】

A0	A4	A8	A12	A16	A20	A24	A28
A1	A5	A9	A13	A17	A21	A25	A29
A2	A6	A10	A14	A18	A22	A26	A30
A3	A7	A11	A15	A19	A23	A27	A31

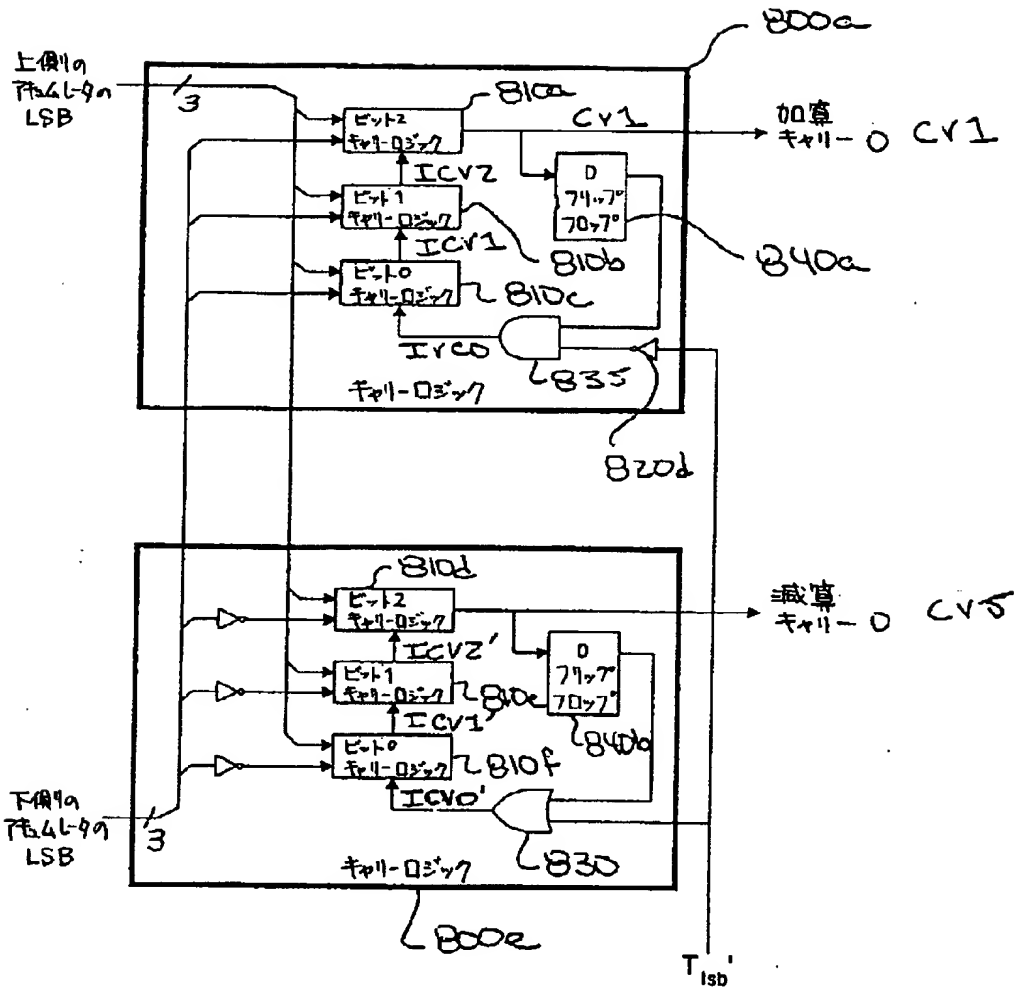
【図23】



【図26】



【図25】

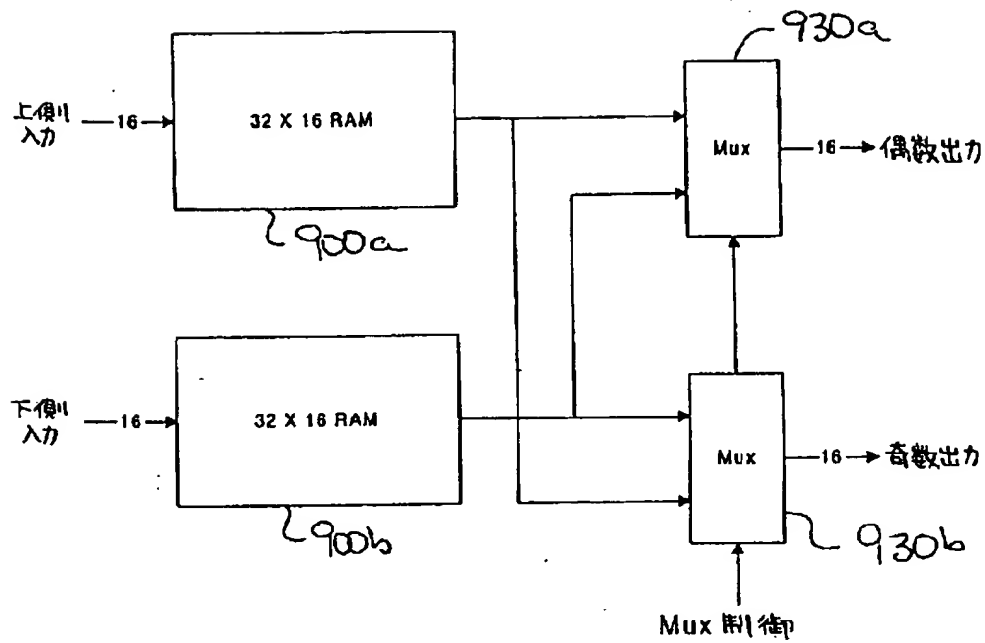


【図29】

x0	x6	x12	x18	x24	x30	x36	x42
x2	x8	x14	x20	x26	x32	x38	x44
x4	x10	x16	x22	x28	x34	x40	x46
x6	x12	x18	x24	x30	x36	x42	x48

x1	x7	x13	x19	x25	x31	x37	x43
x3	x9	x15	x21	x27	x33	x39	x45
x5	x11	x17	x23	x29	x35	x41	x47
x7	x13	x19	x25	x31	x37	x43	x49

【図 27】



【図 30】

X ₀	X ₂	X ₄	X ₆	X ₉	X ₂₅	X ₄₁	X ₅₇	X ₁	X ₁₇	X ₃₃	X ₄₉	X ₁	X ₃	X ₅	X ₇
X ₂	X ₁₈	X ₃₄	X ₅₀	X ₁₁	X ₂₇	X ₄₃	X ₅₉	X ₃	X ₁₉	X ₃₅	X ₅₁	X ₁₀	X ₂₆	X ₄₂	X ₅₈
X ₄	X ₂₀	X ₃₆	X ₅₂	X ₁₃	X ₂₉	X ₄₅	X ₆₁	X ₅	X ₂₁	X ₃₇	X ₅₃	X ₁₂	X ₂₈	X ₄₄	X ₆₀
X ₆	X ₂₂	X ₃₈	X ₅₄	X ₁₅	X ₃₁	X ₄₇	X ₆₃	X ₇	X ₂₃	X ₃₉	X ₅₅	X ₁₄	X ₃₀	X ₄₆	X ₆₂

【図 31】

X ₀	X ₂	X ₄	X ₆	X ₉	X ₁₁	X ₁₃	X ₁₅	X ₈	X ₁₀	X ₁₂	X ₁₄	X ₁	X ₃	X ₅	X ₇
X ₂	X ₁₈	X ₃₄	X ₅₀	X ₁₁	X ₂₇	X ₄₃	X ₅₉	X ₃	X ₁₉	X ₃₅	X ₅₁	X ₁₀	X ₂₆	X ₄₂	X ₅₈
X ₄	X ₂₀	X ₃₆	X ₅₂	X ₁₃	X ₂₉	X ₄₅	X ₆₁	X ₅	X ₂₁	X ₃₇	X ₅₃	X ₁₂	X ₂₈	X ₄₄	X ₆₀
X ₆	X ₂₂	X ₃₈	X ₅₄	X ₁₅	X ₃₁	X ₄₇	X ₆₃	X ₇	X ₂₃	X ₃₉	X ₅₅	X ₁₄	X ₃₀	X ₄₆	X ₆₂

【図32】

X0'	X2'	X4'	X6'	X8'	X11'	X13'	X15'
X1'	X18'	X20'	X22'	X25'	X27'	X29'	X31'
X32'	X34'	X36'	X38'	X41'	X43'	X45'	X47'
X48'	X50'	X52'	X54'	X57'	X59'	X61'	X63'

X8'	X10'	X12'	X14'	X1'	X3'	X5'	X7'
X24'	X26'	X28'	X30'	X17'	X19'	X21'	X23'
X40'	X42'	X44'	X46'	X33'	X35'	X37'	X39'
X56'	X58'	X60'	X62'	X49'	X51'	X53'	X55'

【図33】

X0'	X2'	X4'	X6'	X9'	X11'	X13'	X15'
X2'	X18'	X20'	X22'	X25'	X27'	X29'	X31'
X4'	X34'	X36'	X38'	X41'	X43'	X45'	X47'
X6'	X50'	X52'	X54'	X57'	X59'	X61'	X63'

X1'	X10'	X12'	X14'	X1'	X3'	X5'	X7'
X3'	X26'	X28'	X30'	X17'	X19'	X21'	X23'
X5'	X42'	X44'	X46'	X33'	X35'	X37'	X39'
X7'	X58'	X60'	X62'	X49'	X51'	X53'	X55'

【図34】

X0'	X2'	X4'	X6'	X9'	X11'	X13'	X15'
X2'	X18'	X20'	X22'	X1'	X27'	X29'	X31'
X4'	X34'	X36'	X38'	X13'	X43'	X45'	X47'
X6'	X50'	X52'	X54'	X15'	X59'	X61'	X63'

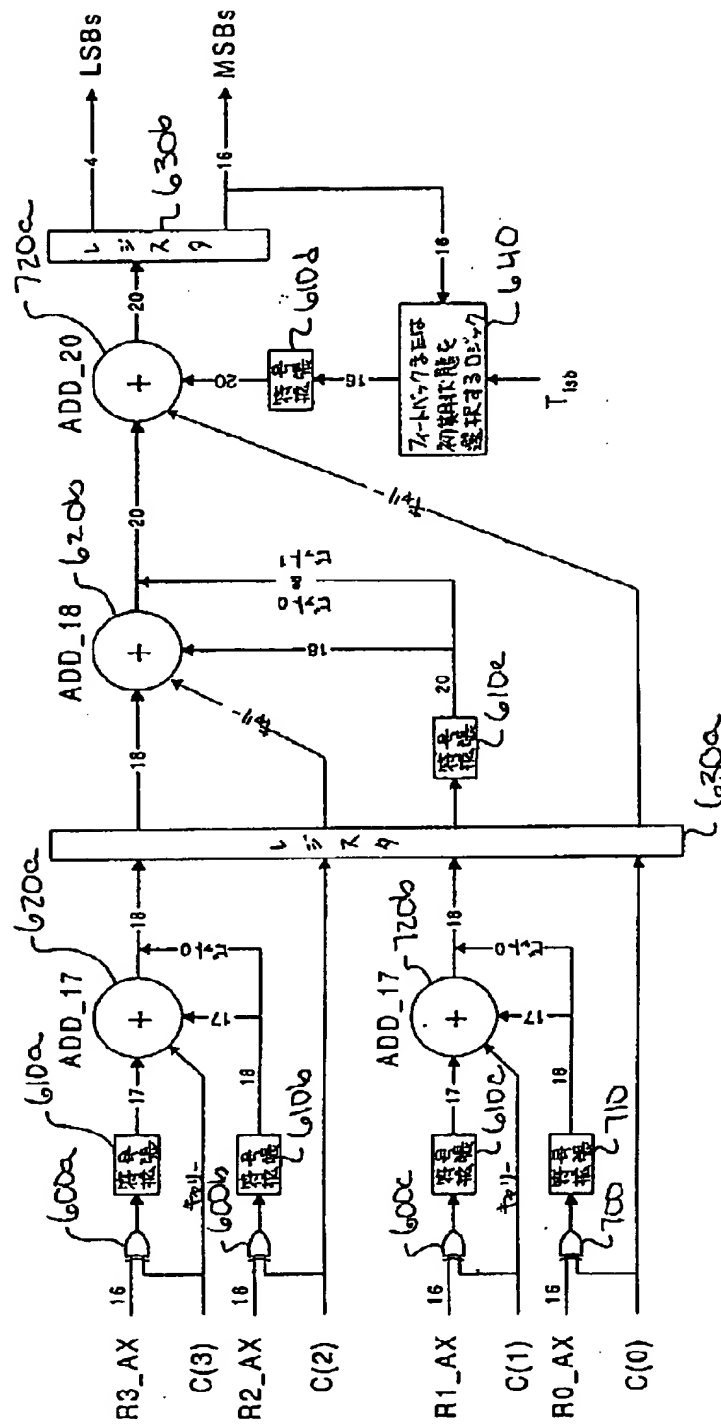
X1'	X10'	X12'	X14'	X8'	X3'	X5'	X7'
X3'	X26'	X28'	X30'	X10'	X19'	X21'	X23'
X5'	X42'	X44'	X46'	X12'	X35'	X37'	X39'
X7'	X58'	X60'	X62'	X14'	X51'	X53'	X55'

【図35】

X0'	X16'	X32'	X48'	X9'	X25'	X41'	X57'
X2'	X18'	X34'	X50'	X11'	X27'	X43'	X59'
X4'	X20'	X36'	X52'	X13'	X29'	X45'	X61'
X6'	X22'	X38'	X54'	X15'	X31'	X47'	X63'

X1'	X17'	X33'	X49'	X8'	X24'	X40'	X56'
X3'	X19'	X35'	X51'	X10'	X26'	X42'	X58'
X5'	X21'	X37'	X53'	X12'	X28'	X44'	X60'
X7'	X23'	X39'	X55'	X14'	X30'	X46'	X62'

【図36】



【図 37】

